

KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010046266 (43) Publication.Date. 20010615

(21) Application No.1019990049972 (22) Application Date. 19991111

(51) IPC Code: G11C 16/00

(71) Applicant:

HYNIX SEMICONDUCTOR INC.

(72) Inventor:

KANG, HEE BOK

KIM, JIN GU

(30) Priority:

(54) Title of Invention

NON-VOLATILE FERROELECTRIC MEMORY DEVICE AND
FABRICATION METHOD THEREOF

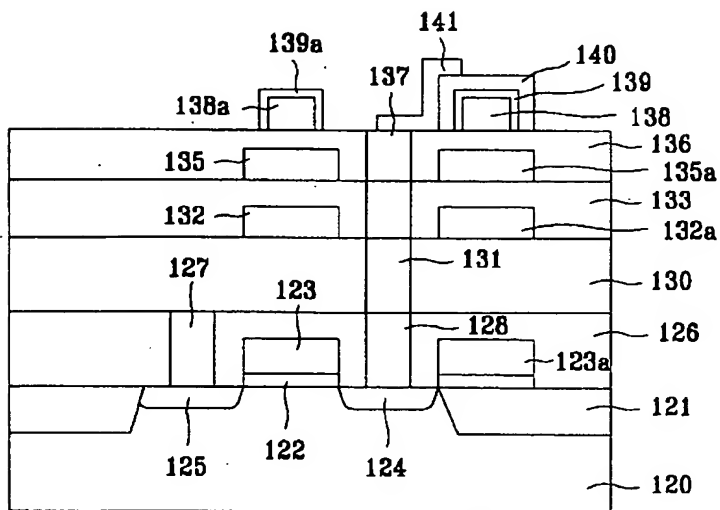
(57) Abstract:

PURPOSE: A non-volatile ferroelectric memory device and a fabrication method thereof are provided to achieve a high speed by minimizing an RC delay of a split word line, and to minimize the size of the device.

CONSTITUTION: The first conductive layers(132,132a) are connected electrically to the first split word line(123) and the second split word line(123a) respectively in a peripheral region, and receive the same driving signal as the corresponding split word line. Here, the first and the second conductive layer(132,135), which are formed between the first split word line and the first electrode(138a) of the second ferroelectric capacitor, are defined as the first branch line of the first split word line. The first and the second conductive layer(132a,135a) formed between the second split word line and the first electrode(138) of the first ferroelectric capacitor are defined as the second branch line of the second split word line. The first conductive layers and the second conductive layers are formed with a platinum(Pt) or a tungsten(W). And, the first and the second electrode of the ferroelectric capacitor are formed with a platinum(Pt), and the first and the second contact layer(141) are formed with a titanium nitride(TiN). The second electrode(140) of the first ferroelectric capacitor is connected to a source region of the

first transistor(T1), and the second electrode of the second ferroelectric capacitor is connected to a source region of the second transistor.

Representative drawing



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ G11C 16/00	(11) 공개번호 특2001-0046266
	(43) 공개일자 2001년 06월 15일
(21) 출원번호 10-1999-0049972	
(22) 출원일자 1999년 11월 11일	
(71) 출원인 주식회사 하이닉스반도체	
(72) 발명자 경기 이천시 부발읍 아미리 산136-1 강희복 대전광역시 서구 도마동359-27양지타운3-401 김진구 충청북도 청주시 흥덕구 가경동1476-14 강용복, 김용인	
(74) 대리인 강용복, 김용인	

심사청구 : 없음

(54) 불휘발성 강유전체 메모리 소자 및 그 제조방법

요약

본 발명은 스플릿 워드라인의 RC딜레이를 최소화하여 고속의 소자를 제공하고, 소자의 사이즈를 최소화할 수 있는 불휘발성 강유전체 메모리 소자 및 그 제조방법을 제공하기 위한 것으로, 본 발명에 따른 불휘발성 강유전체 메모리 소자는 제 1, 제 2 비트라인, 제 1, 제 2 트랜지스터 그리고 제 1, 제 2 강유전체 커패시터를 포함하는 불휘발성 강유전체 메모리 소자의 단위셀에 있어서, 상기 제 1, 제 2 비트라인과 교차하는 방향으로 형성되며 상기 제 1 트랜지스터의 게이트와 상기 제 2 강유전체 커패시터의 제 1 전극에 연결되는 제 1 스플릿 워드라인과, 상기 제 1, 제 2 비트라인과 교차하는 방향으로 형성되며 상기 제 2 트랜지스터의 게이트와 상기 제 1 강유전체 커패시터의 제 1 전극에 연결되는 제 2 스플릿 워드라인과, 상기 제 1 스플릿 워드라인 상측에 복수의 층으로 분리 형성되며 각각이 상기 제 1 스플릿 워드라인에 연결되는 제 1 분기라인들과, 상기 제 2 스플릿 워드라인 상측에 복수의 층으로 분리 형성되며 각각이 상기 제 2 스플릿 워드라인에 연결되는 제 2 분기라인들을 포함하여 구성된다.

도면

도10

색인어

플러그, 분기 라인, 스플릿 워드라인

영세서

도면의 간단한 설명

도 1은 일반적인 강유전체의 히스테리시스 루프를 나타낸 특성도

도 2는 종래 기술에 따른 불휘발성 강유전체 메모리 소자의 회로적 구성도

도 3a는 종래 불휘발성 강유전체 메모리 소자의 쓰기 모드(Write mode)의 동작을 나타낸 타이밍도

도 3b는 읽기 모드(Read mode)의 동작을 나타낸 타이밍도

도 4a는 종래 불휘발성 강유전체 메모리 소자의 레이아웃도

도 4b는 도 4a의 I-I'선에 따른 불휘발성 강유전체 메모리 소자의 구조 단면도

도 5a 내지 도 5f는 도 4a의 I-I'선에 따른 불휘발성 강유전체 메모리 소자의 제조방법을 설명하기 위한 공정단면도

도 6은 본 발명의 불휘발성 강유전체 메모리 소자의 회로적 구성도

도 7은 간략화한 본 발명 불휘발성 강유전체 메모리 장치의 회로적 구성도

도 8은 본 발명 불휘발성 강유전체 메모리 소자의 동작을 설명하기 위한 타이밍도

도 9는 본 발명 불휘발성 강유전체 메모리 소자의 레이아웃도

도 10은 도 9의 I-I'선에 따른 구조단면도

도 11a 내지 11i는 본 발명 불휘발성 강유전체 메모리 소자의 제조방법을 설명하기 위한 레이아웃 공정

5

도 12a 내지 12l은 각각 도 11a 내지 11l의 1-1'선에 따른 볼취발성 강유전체 메모리 소자의 제조방법을 설명하기 위한 공정단면도

도면의 주요부분에 대한 부호의 설명

120 : 반도체 기판 123, 123a : 제 1, 제 2 스플릿 워드라인

124, 124a : 제 1, 제 2 소오스 영역 125, 125a : 제 1, 제 2 드레인 영역

127, 127a : 제 1 플러그 · 128, 128a : 제 2 플러그

131, 131a : 제 3 플러그 132, 132a : 제 1 전도층

134, 134a : 제 4 플러그 135, 135a : 제 2 전도층

137, 137a : 제 5 플러그

138, 138a : 제 1, 제 2 강유전체 커패시터의 제 1 전극

139, 139a : 제 1, 제 2 강유전체층

140, 140a : 제 1, 제 2 강유전체 커패시터의 제 2 전극

141, 141a : 제 1, 제 2 콘택층

4. 경영의 상세한 내용

245 500

208

본 발명은 반도체 장치에 관한 것으로, 특히 불휘발성 강유전체 메모리 소자 및 그 제조방법에 관한 것이다.

일반적으로 비휘발성 강유전체 메모리 즉, FRAM(Ferroelectric Random Access Memory)은 디램(DRAM:Dynamic Random Access Memory)정도의 데이터 처리 속도를 갖고, 전원의 오프(off)시에도 데이터가 보존되는 특성때문에 차세대 기억소자로 주목받고 있다.

FRAM은 DRAM과 거의 유사한 구조를 갖는 기억소자로서 커패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류분극을 이용한 것이다.

이와 같은 잔류분극 특성으로 인하여 전계를 제거하더라도 데이터가 지워지지 않는다.

도 1은 일반적인 강유전체의 히스테리시스 루프를 나타낸 특성도이다.

도 1에서와 같이, 전계에 의해 유기된 분극이 전계를 제거하여도 잔류분극(또는 자발분극)의 존재로 인하여 소멸되지 않고, 일정량(d, a상태)을 유지하고 있는 것을 알 수 있다. 불휘발성 강유전체 메모리 셀은 상기 d, a상태를 각각 1, 0으로 대응시켜 기억소자로 응용한 것이다.

이하, 종래 기술에 따른 불휘발성 강유전체 메모리 소자의 구동회로를 첨부된 도면을 참조하여 설명하기로 한다.

도 2는 종래 불휘발성 강유전체 메모리의 단위 셀을 나타내었다.

도 2에 도시한 바와 같이, 일방향으로 비트라인(B/L)이 형성되고, 상기 비트라인과 교차하는 방향으로 워드라인(W/L)이 형성되고, 워드라인에 일정한 간격을 두고 워드라인과 동일한 방향으로 플레이트 라인(P/L)이 형성되고, 게이트가 워드라인에 연결되고 소오스는 비트라인에 연결되도록 트랜지스터(T1)가 형성되고, 두 단자중 제 1 단자가 트랜지스터(T1)의 드레인에 연결되고 제 2 단자는 플레이트 라인(P/L)에 연결되도록 감류전체 커패시터(CF1)가 형성된다.

이와 같은 불휘발성 강유전체 메모리 소자의 데이터 입/출력 동작은 다음과 같다.

도 3a는 종래 불휘발성 강유전체 메모리 소자의 쓰기 모드(Write mode)의 동작을 나타낸 타이밍도이고, 도 3b는 읽기 모드(Read mode)의 동작을 나타낸 타이밍도이다.

먼저, 쓰기 모드의 경우, 외부에서 인가되는 칩 인에이블 신호(CSBpad)가 하이(high)에서 로우(low)로 활성화되고, 동시에 쓰기 인에이블 신호(WEBpad)를 하이에서 로우로 인가하면 쓰기 모드가 시작된다. 이어, 쓰기 모드에서 어드레스 디코딩이 시작되면 해당 워드라인에 인가되는 펄스가 '로우'에서 '하이'로 천이되어 셀이 선택된다. 이와 같이, 워드라인이 '하이' 상태를 유지하고 있는 구간에서 해당 플레이트 라인에는 차례로 일정구간의 '하이' 신호와 일정구간의 '로우' 신호가 인가된다. 그리고 선택된 셀에 로직값 '1' 또는 '0'을 쓰기 위하여 해당 비트라인에 쓰기 인에이블 신호(WEBpad)에 동기되는 '하이' 또는 '로우' 신호를 인가한다. 즉, 비트라인에 '하이'신호를 인가하고 워드라인에 인가되는 신호가 '하이' 상태인 구간에서 플레이트 라인에 인가되는 신호가 '로우'이면 강유전체 커패시터에는 로직값 '1'이 기록된다. 그리고 비트라인에 '로우' 신호를 인가하고 플레이트 라인에 인가되는 신호가 '하이' 신호이면 강유전체 커패시터에는 로직값 '0'이 기록된다.

이와 같은 쓰기 모드의 동작으로 셀에 저장된 데이터를 읽어내기 위한 동작은 다음과 같다.

외부에서 칩 인에이블 신호(CSBpad)를 '하이'에서 '로우'로 **환조**하면 해당 워드라인이 선택되기 이

전에 모든 비트라인은 어쥔라이저 신호에 의해 '로우'전압으로 등전위 된다. 그리고 각 비트라인을 비활성화시킨 다음, 어드레스를 디코딩하고 디코딩된 어드레스에 의해 해당 워드라인에는 '로우'신호가 '하이'신호로 천이되어 해당 셀을 선택한다. 선택된 셀의 플레이트 라인에 '하이' 신호를 인가하여 강유전체 메모리에 저장된 로직값 '1'에 상응하는 데이터를 파괴시킨다. 만약, 강유전체 메모리에 로직값 '0'이 저장되어 있다면 그에 상응하는 데이터는 파괴되지 않는다. 이와 같이, 파괴된 데이터와 파괴되지 않은 데이터는 전술한 히스테리시스 루프의 원리에 의해 서로 다른 값을 출력하게 되어 센스앰프는 로직값 '1' 또는 '0'을 센싱하게 된다. 즉, 데이터가 파괴된 경우는 도 1의 히스테리시스 루프에서처럼 d에서 f로 변경되는 경우이고, 데이터가 파괴되지 않은 경우는 a에서 f로 변경되는 경우이다. 따라서, 일정시간이 경과한 후에 센스앰프가 인에이블되면 데이터가 파괴된 경우는 증폭되어 로직값 '1'을 출력하고, 데이터가 파괴되지 않은 경우는 로직값 '0'을 출력한다. 이와 같이, 센스앰프에서 데이터를 출력한 후에는 원래의 데이터로 복원하여야 하므로 해당 워드라인에 '하이' 신호를 인가한 상태에서 플레이트 라인을 '하이'에서 '로우'로 비활성화시킨다.

이와 같은 종래 불휘발성 강유전체 메모리 소자의 구조 및 제조방법을 설명하면 다음과 같다.

도 4a는 종래 불휘발성 강유전체 메모리 소자의 레이아웃도이다.

도 4a에 도시한 바와 같이, 서로 일정거리를 두고 비대칭적으로 형성되는 제 1 액티브 영역(41)과 제 2 액티브 영역(41a), 제 1 액티브 영역(41)을 가로지르는 방향으로 형성된 제 1 워드라인(W/L1), 제 1 워드라인(W/L1)과 일정거리를 두고 제 2 액티브 영역(41a)을 가로지르는 방향으로 형성된 제 2 워드라인(W/L2), 제 1 액티브 영역(41) 일측에서 제 1, 제 2 워드라인들을 가로지르는 방향을 따라 형성된 제 1 비트라인(B/L1), 제 2 액티브 영역(41a)의 일측에 형성되며 제 1, 제 2 워드라인을 가로지르는 방향으로 형성되는 제 2 비트라인(B/L2), 제 1 액티브 영역(41)과 전기적으로 연결되고 제 1 워드라인(W/L1)과 제 2 워드라인(W/L2)에 걸쳐 형성되는 제 1 강유전체 커패시터(FC1), 제 2 액티브 영역(41a)과 전기적으로 연결되며 제 1 워드라인(W/L1)과 제 2 워드라인(W/L2)에 걸쳐 형성되는 제 2 강유전체 커패시터(FC2), 제 1 강유전체 커패시터(FC1)와 전기적으로 연결되며 제 1 워드라인(W/L1)상에 형성되는 제 1 플레이트 라인(P/L1), 제 2 강유전체 커패시터(FC2)와 전기적으로 연결되며 제 2 워드라인(W/L2)상에 형성되는 제 2 플레이트 라인(P/L2)으로 구성된다.

상기 도 4a는 단위 셀을 기준으로 한 레이아웃도이며 이와 같은 종래 불휘발성 강유전체 메모리 소자는 제 1, 제 2 강유전체 커패시터(FC1,FC2)가 비트라인 방향을 따라 형성되고 제 1 플레이트 라인(P/L1)은 제 1 워드라인(W/L1)상에 형성되며 제 2 플레이트 라인(P/L2)은 제 2 워드라인(W/L2)상에 형성된다.

이와 같은 종래 불휘발성 강유전체 메모리 소자를 보다 상세하게 설명하면 다음과 같다.

도 4b는 도 4a의 1-1'선에 따른 불휘발성 강유전체 메모리 소자의 구조 단면도이다.

도 4b에 도시한 바와 같이, 액티브 영역 및 필드 영역이 정의된 기판(51), 액티브 영역 및 필드 영역상에 제 1 절연층(53)을 개재하여 형성된 제 1 워드라인(54) 및 제 2 워드라인(54a), 제 1 워드라인(54) 양측에 형성된 제 1 소오스/드레인 불순물 영역(55,56), 제 2 워드라인(54a) 양측에 형성되는 제 2 소오스/드레인 불순물 영역(도시되지 않음), 제 1 드레인 불순물 영역(56)이 노출되도록 콘택홀을 갖고 제 1, 제 2 워드라인(54,54a)을 포함한 전면에 형성되는 제 2 절연층(57), 상기 콘택홀내에 매립된 제 1 플러그층(58a), 제 1 플러그층(58a)과 제 1 비트라인(도시되지 않음)을 연결하는 제 1 메탈층(59), 제 1 소오스 불순물 영역(55)이 노출되도록 콘택홀을 갖고 제 1 메탈층(59)을 포함한 전면에 형성되는 제 3 절연층(60), 콘택홀내에 매립되는 제 2 플러그층(62), 제 2 플러그층(62)과 전기적으로 연결되고 제 1 워드라인(54)에서부터 제 2 워드라인(54a)에 이르기까지 형성되는 베리어 메탈층(63), 베리어 메탈층(63)상에 형성되는 제 1 강유전체 커패시터(FC1)의 하부전극(64), 제 1 강유전체 커패시터의 하부전극(64)상에 차례로 적층되는 강유전체막(65) 및 제 2 강유전체 커패시터의 상부전극(66), 제 2 강유전체 커패시터의 상부전극(66)을 포함한 전면에 형성되는 제 4 절연층(67), 제 4 절연층을 통해 제 1 강유전체 커패시터(FC1)의 상부전극(66)과 전기적으로 연결되며 제 1 워드라인(54)의 상측부에 상응하는 위치에 형성되는 제 1 플레이트 라인(68), 제 1 플레이트 라인(68)과 일정거리를 두고 제 2 워드라인(54a)의 상측부에 상응하는 위치에 형성되는 제 2 플레이트 라인(68a)으로 구성된다.

이와 같이 구성된 종래 불휘발성 강유전체 메모리 소자의 제조방법을 설명하면 다음과 같다.

도 5a 내지 도 5f는 종래 기술에 따른 불휘발성 강유전체 메모리 소자의 제조방법을 설명하기 위한 공정 단면도로서, 도 4a의 1-1'선에 따른 것이다.

도 5a에 도시한 바와 같이, 반도체 기판(51)의 소정부위를 식각하여 트렌치를 형성한 후, 트렌치내에 절연막을 매립하여 소자 격리층(52)을 형성한다. 소자 격리층(52)을 포함한 액티브 영역의 기판상에 제 1 절연층(53)을 형성한다. 제 1 절연층(53)상에 워드라인 물질층을 형성한 후, 패터닝하여 서로 일정 간격을 가는 제 1, 제 2 워드라인(54,54a)을 형성한다.

도 5b에 도시한 바와 같이, 워드라인들(54,54a)을 마스크로 이용한 불순물 이온주입을 통해 상기 기판(51)과 반대 도전형질을 갖는 소오스 불순물 영역(55)과 드레인 불순물 영역(56)을 형성한다.

여기서, 상기 소오스/드레인 불순물 영역(55,56)은 상기 제 1 워드라인(54)을 게이트 전극으로 하는 제 1 트랜지스터(T1)의 소오스/드레인 불순물 영역이다. 이후, 제 1, 제 2 워드라인(54,54a)을 포함한 기판(51) 전면에 제 2 절연층(55)을 형성한다. 제 2 절연층(55)상에 포토레지스트(도시하지 않음)를 도포한후 패터닝하고, 패터닝된 포토레지스트를 마스크로 이용한 식각 공정으로 제 2 절연층(55)을 선택적으로 제거하여 드레인 불순물 영역(56)이 노출되는 콘택홀(58)을 형성한다.

도 5c에 도시한 바와 같이, 콘택홀내에 도전성 물질을 매립하여 제 1 플러그층(58a)을 형성하고, 제 1 플러그층(58a)과 제 1 비트라인(B/L1)을 연결하는 제 1 메탈층(59)을 형성한다. 이때, 도면에는 도시되지 않았지만, 제 2 비트라인(B/L2)은 제 2 트랜지스터(T2)의 드레인 불순물 영역과 전기적으로 연결된다.

도 5d에 도시한 바와 같이, 제 1 메탈층(59)을 포함한 전면에 제 3 절연층(60)을 형성한다. 제 3 절연층(60)상에 포토레지스트(도시하지 않음)를 도포한 후 패터닝하고, 패터닝된 포토레지스트를 마스크로 이용한 식각 공정으로 제 3 절연층(60)을 선택적으로 제거하여 소오스 불순물 영역(55)이 노출되는 콘택홀(61)을 형성한다.

도 5e에 도시한 바와 같이, 콘택홀(61)내에 도전성 물질을 매립하여 소오스 불순물 영역(55)과 전기적으로 연결되는 제 2 플러그층(62)을 형성한다. 그리고 제 2 플러그층(62)과 전기적으로 연결되도록 베리어 메탈층(63)을 형성한 후, 베리어 메탈층(63)상에 제 1 강유전체 커패시터(FC1)의 하부전극(64), 강유전체막(65), 제 1 강유전체 커패시터의 상부전극(66)을 차례로 형성한다.

도 5f에 도시한 바와 같이, 제 1 강유전체 커패시터의 상부전극(66)상에 제 4 절연층(67)을 형성하고, 포토리소그래피 공정으로 제 4 절연층(67)을 선택적으로 식각하여 제 1 강유전체 커패시터의 상부전극(66)이 소정부분 노출되도록 콘택홀을 형성한다. 그리고 콘택홀을 통해 제 1 강유전체 커패시터 상부전극(66)과 전기적으로 연결되는 제 1 플레이트 라인(68)을 형성하면, 종래 기술에 따른 불휘발성 강유전체 메모리 소자의 제조공정이 완료된다. 여기서, 미설명 부호 '68a'는 제 2 플레이트 라인을 지시한다.

본 발명의 문제점

그러나 상기와 같은 종래 불휘발성 강유전체 메모리 소자 및 그 제조방법은 다음과 같은 문제점이 있었다.

첫째, 커패시터를 확보하기 위해서는 커패시터 하부전극의 단면적을 크게하여야 하는데, 이를 위해서는 커패시터 하부전극을 두껍게 형성하여 한다. 하지만, 커패시터 하부전극을 너무 두껍게 형성하면 커패시터 하부전극의 물질이 메탈이기 때문에 식각이 어려워지는 문제가 있다. 따라서 커패시터 하부전극의 두께를 두껍게 하는데에는 한계가 있으므로 커패시터를 확보하는데에도 한계가 있다.

둘째, 단위 셀마다 워드라인과 플레이트 라인이 형성되므로 플레이트 라인과 인접한 셀의 워드라인이 구분될 수 있는 플레이트 라인 형성 공간이 충분히 확보되지 않아 좁은 공간에서 플레이트 라인을 형성하여야 하므로 공정이 매우 어렵다.

셋째, 스플릿 워드라인의 RC딜레이가 증가하여 고속의 불휘발성 메모리 소자를 구현하는데 불리하다.

본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 스플릿 워드라인의 RC딜레이를 최소화하여 고속의 소자를 제공하고, 소자의 사이즈를 최소화할 수 있는 불휘발성 강유전체 메모리 소자 및 그 제조방법을 제공하는데 그 목적이 있다.

본 발명의 구성

상기의 목적을 달성하기 위한 본 발명의 불휘발성 강유전체 메모리 소자는 제 1, 제 2 비트라인, 제 1, 제 2 트랜지스터 그리고 제 1, 제 2 강유전체 커패시터를 포함하는 불휘발성 강유전체 메모리 소자의 단위 셀에 있어서, 상기 제 1, 제 2 비트라인과 교차하는 방향으로 형성되며 상기 제 1 트랜지스터의 게이트와 상기 제 2 강유전체 커패시터의 제 1 전극에 연결되는 제 1 스플릿 워드라인과, 상기 제 1, 제 2 비트라인과 교차하는 방향으로 형성되며 상기 제 2 트랜지스터의 게이트와 상기 제 1 강유전체 커패시터의 제 1 전극에 연결되는 제 2 스플릿 워드라인과, 상기 제 1 스플릿 워드라인 상측에 복수의 층으로 분리 형성되며 각각이 상기 제 1 스플릿 워드라인에 연결되는 제 1 분기라인들과, 상기 제 2 스플릿 워드라인 상측에 복수의 층으로 분리 형성되며 각각이 상기 제 2 스플릿 워드라인에 연결되는 제 2 분기라인들을 포함하여 구성된다.

그리고 본 발명의 불휘발성 강유전체 메모리 소자 제조방법은 반도체 기판상에 제 1, 제 2 스플릿 워드라인을 형성하는 공정과, 상기 제 1, 제 2 스플릿 워드라인 상측에 복수층의 제 1, 제 2 분기라인들을 각각 형성하는 공정과, 상기 제 1 분기 라인 상측부에 제 2 강유전체 커패시터의 제 1 전극을 형성하고, 상기 제 2 분기 라인 상측부에 제 1 강유전체 커패시터의 제 1 전극을 형성하는 공정과, 상기 제 1 강유전체 커패시터의 제 1 전극상에 강유전체층과 제 1 강유전체 커패시터의 제 2 전극을 순차 형성하고 상기 제 2 강유전체 커패시터의 제 1 전극상 강유전체층과 제 2 강유전체 커패시터의 제 2 전극을 순차 형성하는 공정과, 상기 제 1 강유전체 커패시터의 제 2 전극과 상기 제 1 스플릿 워드라인 일측의 액티브 영역을 전기적으로 연결하고 상기 제 2 강유전체 커패시터의 제 2 전극과 상기 제 2 스플릿 워드라인 일측의 액티브 영역을 전기적으로 연결하는 공정과, 상기 제 1 분기 라인들 및 상기 제 2 강유전체 커패시터의 제 1 전극을 상기 제 1 스플릿 워드라인에 전기적으로 연결하고 상기 제 2 분기 라인들과 상기 제 1 강유전체 커패시터의 제 1 전극을 상기 제 2 스플릿 워드라인에 전기적으로 연결하는 공정을 포함하여 이루어진다.

이하, 본 발명 불휘발성 강유전체 메모리 소자 및 그 제조방법을 설명하기로 한다.

먼저, 본 발명 불휘발성 강유전체 메모리 소자는 스플릿 워드라인의 RC 딜레이를 감소시켜 스피드를 향상시키기 위한 것이다. 즉, 앤모스 트랜지스터의 게이트 전극과 강유전체 커패시터의 하부 전극 사이에 복수층의 분기 라인(shunt line)을 구성하고 이들 분기 라인들을 셀 영역 밖에서 전기적으로 연결시키는 것에 의해 분기 라인들을 한 개의 스플릿 워드라인으로 이용하는데 특징이 있다.

이와 같이, 복수층의 분기 라인을 스플릿 워드라인으로 사용함으로써 스플릿 워드라인의 시트 저항(sheet resistance)을 획기적으로 감소시킬 수가 있다.

그리고, 강유전체막을 형성하기 이전에 분기 라인을 형성하므로 강유전체막의 열화를 방지할 수가 있다.

특히, 복수층의 분기 라인을 형성함에 있어서 각 분기 라인을 형성한 후에는 평탄화 공정을 수행하여 작

은 선 쪽의 분기 라인 형성이 가능하도록 함으로써, 작은 셀 구현에 효율적이다.

도 6은 본 발명의 불휘발성 강유전체 메모리 소자의 회로적 구성도이다.

도 6에 도시한 바와 같이, 본 발명 불휘발성 강유전체 메모리 소자의 단위 셀은 로우(ROW)방향으로 형성되며 서로 일정한 간격을 가지는 제 1 스플릿 워드라인(SWL1)과 제 2 스플릿 워드라인(SWL2), 제 1, 제 2 스플릿 워드라인들을 가로지르는 방향으로 형성된 제 1 비트라인(B/L1)과 제 2 비트라인(B/L2), 게이트가 제 1 스플릿 워드라인(SWL1)에 연결되고 드레인이 제 1 비트라인(B/L1)에 연결되는 제 1 트랜지스터(T1), 제 1 트랜지스터의 소오스와 제 2 스플릿 워드라인 사이에 연결된 제 1 강유전체 커패시터(FC1), 게이트가 제 2 스플릿 워드라인에 연결되고 드레인이 제 2 비트라인(B/L2)에 연결되는 제 2 트랜지스터(T2), 제 2 트랜지스터의 소오스와 제 1 스플릿 워드라인 사이에 연결된 제 2 강유전체 커패시터(FC2)를 포함하여 구성된다.

한편, 도 7은 간략화한 본 발명 불휘발성 강유전체 메모리 장치의 회로적 구성도로서, 그 동작원리를 설명하기로 한다.

도 7에 도시한 바와 같이, 로우(ROW)방향으로 제 1, 제 2 스플릿 워드라인(SWL1, SWL2)을 한 쌍으로 하는 복수개의 스플릿 워드라인쌍들이 형성되고, 스플릿 워드라인쌍들을 가로지르는 방향으로 형성되며 인접한 2 개의 비트라인을 한 쌍으로 하여 복수개의 비트라인(B/L1, B/L2)쌍들이 형성되고, 쌍을 이루는 비트라인 사이에는 양쪽의 비트라인을 통해 전달된 데이터를 센싱하여 데이터 라인(DL) 또는 데이터 바 라인(/DL)으로 전달하는 센싱앰프(SA)들이 형성된다. 이때, 센싱앰프(SA)들을 인에이블시키기 위한 인에이블 신호(SEN)를 출력하는 센싱앰프 인에이블부(SEN)가 더 구비되고, 비트라인과 데이터 라인들을 선택적으로 스위칭하는 선택스위칭부(CS)가 더 구비된다.

도 8은 본 발명 불휘발성 강유전체 메모리 소자의 동작을 설명하기 위한 타이밍도이다.

도 8의 T0구간은 제 1 스플릿 워드라인(SWL1)과 제 2 스플릿 워드라인(SWL2)이 'H(High)'로 활성화되기 이전의 구간으로써, 모든 비트라인을 일정 레벨로 프리차지(Precharge)시킨다. T1구간은 제 1, 제 2 스플릿 워드라인(SWL1, SWL2)들이 모두 'H'가 되는 구간으로써, 강유전체 커패시터의 데이터가 비트라인에 전달되어 비트라인의 레벨이 변화된다. 이때 로직 'High'로 저장되었던 강유전체 커패시터는 비트라인과 스플릿 워드라인에 서로 반대극성의 전계가 가해지므로 강유전체의 극성이 파괴되면서 많은 전류가 흐르게 되어 비트라인에 높은 전압이 유기된다. 반면에 로직 'Low'로 저장되었던 강유전체 커패시터는 비트라인과 스플릿 워드라인에 동일한 극성의 전계가 가해지므로 강유전체의 극성이 파괴되지 않아 전류가 적게 흐르게 되어 비트라인에 약간 작은 전압을 유기하게 된다. 비트라인에 셀 데이터가 충분히 실리면 센싱앰프를 활성화시키기 위해 센싱앰프 인에이블 신호(SEN)를 하이(High)로 천이시켜 비트라인의 레벨을 증폭하게 된다. 한편, 파괴된 셀의 로직 'H' 데이터는 제 1 스플릿 워드라인(SWL1)과 제 2 스플릿 워드라인(SWL2)이 하이(high)인 상태에서 복구할 수 없으므로 다음의 T2, T3구간에서 리스토어(Restore)될 수 있도록 한다.

이어, T2구간은 제 1 스플릿 워드라인(SWL1)은 로우(low)로 천이되고 제 2 스플릿 워드라인(SWL2)은 하이 상태를 계속 유지하는 구간으로써, 제 2 트랜지스터(T2)는 온(On)상태가 된다. 이때, 해당 비트라인이 하이 상태라면 하이 데이터가 제 2 강유전체 커패시터(FC2)의 한 쪽 전극에 전달되어 제 1 스플릿 워드라인(SWL1)의 로우(low)상태와 비트라인의 하이(high) 레벨 사이에 로직 1 상태가 복구된다.

T3구간은 제 1 스플릿 워드라인(SWL1)이 다시 하이(high)로 천이되고 제 2 스플릿 워드라인(SWL2)은 로우(low)로 천이되는 구간으로써, 제 1 트랜지스터(T1)가 온(On) 상태가 된다. 이때, 해당 비트라인이 하이 상태라면 하이 데이터가 제 1 강유전체 커패시터(FC1)의 한 쪽 전극에 전달되므로 제 2 스플릿 워드라인(SWL2)의 하이 레벨 사이에 로직 1 상태가 복구된다.

한편, 도 9는 본 발명 불휘발성 강유전체 메모리 소자의 레이아웃도로서, 단위 셀을 예로 한 것이다.

도 9에 도시한 바와 같이, 반도체 기판에 정의된 제 1 액티브 영역(100)과 제 2 액티브 영역(100a), 제 1 액티브 영역(100)을 이등분하며 가로지르는 제 1 스플릿 워드라인(123), 제 2 액티브 영역(100a)을 이등분하며 가로지르는 제 2 스플릿 워드라인(123a), 제 1 스플릿 워드라인(123) 양측의 제 1 액티브 영역(100)에 정의된 제 1 소오스/드레인 영역(도시하지 않음), 제 2 스플릿 워드라인(123a) 양측의 제 2 액티브 영역(100a)에 정의된 제 2 소오스/드레인 영역(도시하지 않음), 제 1, 제 2 드레인 영역에 각각 연결되고 필드 영역에까지 연장되는 제 1 플러그들(127, 127a), 제 1, 제 2 소오스 영역에 각각 연결되는 제 2 플러그들(128, 128a), 제 1 플러그(127, 127a)에 각각 연결되어 필드영역상에 형성되는 제 1, 제 2 비트라인(129, 129a), 제 1 스플릿 워드라인(123) 상측에서 복수의 층으로 분리 형성되는 제 1 분기 라인(도시되지 않음), 제 2 스플릿 워드라인(123a) 상측에서 복수의 층으로 분리 형성되는 제 2 분기 라인(도시되지 않음), 제 1 분기 라인 상측에 형성되는 제 2 강유전체 커패시터(FC2)의 제 1 전극(도시되지 않음), 제 2 분기 라인 상측에 형성되는 제 1 강유전체 커패시터(FC1)의 제 1 전극(도시되지 않음), 제 1 강유전체 커패시터의 제 1 전극상에 강유전체층(139)을 개재하여 형성된 제 1 강유전체 커패시터의 제 2 전극(140), 제 2 강유전체 커패시터의 제 1 전극상에 강유전체층(139a)을 개재하여 형성된 제 2 강유전체 커패시터의 제 2 전극(140a), 제 1, 제 2 강유전체 커패시터의 제 2 전극(140, 140a)과 제 2 플러그층(128, 128a)를 연결하는 제 1, 제 2 콘택층(141, 141a)을 포함하여 구성된다.

여기서, 상기 제 1, 제 2 콘택층(141, 141a)과 상기 제 2 플러그층(128, 128a) 사이에는 제 3 플러그층(131, 131a), 제 4 플러그층(134, 134a) 그리고 제 5 플러그층(137, 137a)이 순차적으로 더 구성된다.

상기 제 1 분기 라인 및 제 2 강유전체 커패시터의 제 1 전극은 제 1 스플릿 워드라인(123)에 연결되고, 제 2 분기 라인 및 제 1 강유전체 커패시터의 제 1 전극은 제 2 스플릿 워드라인(123a)에 연결된다.

상기 제 1 강유전체 커패시터의 제 2 전극(140)은 제 1 소오스 영역과 전기적으로 연결되고, 제 2 강유

전체 커패시터의 제 2 전극(140a)은 제 2 소오스 영역과 전기적으로 연결된다.

상기 제 1 분기 라인들은 제 1 스플릿 워드라인(123)과 제 2 강유전체 커패시터의 제 1 전극 사이에 배치되고, 제 2 분기 라인들은 제 2 스플릿 워드라인(123a)과 제 1 강유전체 커패시터의 제 1 전극 사이에 배치된다.

상기 제 1, 제 2 분기 라인들의 물질은 금속을 사용하며, 금속으로써는 백금(Pt) 또는 텅스텐(W)을 사용하며, 플러그의 물질은 텅스텐을 사용한다.

한편, 도 10은 본 발명 불휘발성 강유전체 메모리 소자의 구조 단면도로서, 도 9의 1-1'선에 따른 단면도이다.

도 10에 도시한 바와 같이, 액티브 영역과 필드 영역으로 정의된 반도체 기판(120), 액티브 영역의 기판상에 형성된 제 1 스플릿 워드라인(123), 필드 영역의 기판상에 형성된 제 2 스플릿 워드라인(123a), 제 1 스플릿 워드라인(123) 양측의 기판내에 형성된 제 1 소오스/드레인 영역(124, 125)(제 1 스플릿 워드라인 양측의 기판내에 형성된 제 2 소오스/드레인 영역(124a, 125a)는 도시되지 않음), 제 1 절연층(126)을 관통하여 제 1 드레인 영역에 연결되며 필드 영역에까지 연장되는 제 1 플러그(127)(제 2 드레인 영역(125) 및 제 2 드레인 영역에 연결되는 제 1 플러그(127a)는 도시되지 않음), 제 1 절연층(126)을 관통하여 제 1 소오스 영역(124)에 연결되는 제 2 플러그(128)(제 2 소오스 영역(124a) 및 제 2 소오스 영역에 연결되는 제 2 플러그(128a)는 도시되지 않음), 제 1 플러그(127)들과 연결되도록 필드 영역상에 형성되는 제 1, 제 2 비트라인(도시되지 않음), 제 1, 제 2 비트라인을 포함한 전면에 형성된 제 2 절연층(130), 제 2 절연층(130)을 관통하여 제 2 플러그(128, 128a)들과 연결되는 제 3 플러그(131, 131a)들, 제 1, 제 2 스플릿 워드라인(123, 123a)에 상응하는 제 2 절연층(130)상에 형성되는 제 1 전도층(132, 132a)들, 제 1 전도층(132, 132a)들을 포함한 기판 전면에 형성된 제 3 절연층(133), 제 3 절연층(133)을 관통하여 제 3 플러그(131, 131a)와 연결되는 제 4 플러그(134, 134a)들, 제 1 전도층(132, 132a)들에 상응하는 제 3 절연층(133)상에 형성된 제 2 전도층(135, 135a)들, 제 2 전도층(135, 135a)들을 포함한 기판 전면에 형성된 제 4 절연층(136), 제 4 절연층(136)을 관통하여 제 4 플러그(134, 134a)와 연결되는 제 5 플러그(137, 137a), 상기 제 1 스플릿 워드라인(123)에 상응하는 상기 제 4 절연층(136)상에 형성되는 제 2 강유전체 커패시터의 제 1 전극(138a), 상기 제 2 스플릿 워드라인(123a)에 상응하는 상기 제 4 절연층(136)상에 형성되는 제 1 강유전체 커패시터의 제 1 전극(138), 상기 제 1 강유전체 커패시터의 제 1 전극(138)상에 형성된 제 1 강유전체층(139), 상기 제 2 강유전체 커패시터의 제 1 전극(138a)상에 형성된 제 2 강유전체층(139a), 상기 제 1 강유전체층(139)상에 형성되는 제 1 강유전체 커패시터의 제 2 전극(140)(제 2 강유전체 커패시터의 제 2 전극은 도시되지 않음), 제 1 강유전체 커패시터의 제 2 전극(140)과 상기 제 5 플러그(137)를 전기적으로 연결하는 제 1 콘택층(141)(제 2 강유전체 커패시터의 제 2 전극(140a)과 제 2 스플릿 워드라인 양측에 형성되는 제 5 플러그(137a)를 연결하는 제 2 콘택층(141a)은 도시되지 않음)을 포함하여 구성된다.

여기서, 상기 제 1 전도층(132, 132a), 제 2 전도층(135, 135a)들은 셀 영역이 아닌 주변영역에서 각각 제 1 스플릿 워드라인(123)과 제 2 스플릿 워드라인(123a)에 전기적으로 연결되어 해당 스플릿 워드라인과 동일한 구동신호를 받는다. 이에, 제 1 스플릿 워드라인(123)과 제 2 강유전체 커패시터의 제 1 전극(138a) 사이에 형성된 제 1, 제 2 전도층(132, 135)들을 제 1 스플릿 워드라인(123)의 분기 라인 즉, 제 1 분기 라인으로 정의하고, 제 2 스플릿 워드라인(123a)과 제 1 강유전체 커패시터의 제 1 전극(138) 사이에 형성된 제 1, 제 2 전도층(132a, 135a)들은 제 2 스플릿 워드라인(123a)의 분기 라인 즉, 제 2 분기 라인으로 정의한다. 이때, 제 1 전도층(132, 132a), 제 2 전도층(135, 135a)은 백금(Pt) 또는 텅스텐(W) 등의 금속을 사용한다.

그리고, 강유전체 커패시터의 제 1 전극(138, 138a), 제 2 전극(140, 140a)의 물질은 백금(Pt)을 사용하며 제 1, 제 2 콘택층(141, 141a)은 물질로서는 티타늄 나이트라이드(TiN)를 사용한다.

상기 제 1 강유전체 커패시터의 제 2 전극(140)은 제 1 트랜지스터(T1)의 소오스 영역(제 1 소오스 영역)에 연결되고, 제 2 강유전체 커패시터의 제 2 전극(140a)은 제 2 트랜지스터의 소오스 영역(제 2 소오스 영역)에 연결된다.

이와 같이 구성된 본 발명 불휘발성 강유전체 메모리 소자의 제조 방법을 보다 상세하게 설명하면 다음과 같다.

도 11a 내지 도 11i는 본 발명 불휘발성 강유전체 메모리 소자의 레이아웃 공정도이고, 도 12a 내지 도 12i는 도 11a 내지 도 11i 각각의 1-1'선에 따른 단면도이다.

먼저, 도 11a에 도시한 바와 같이, 제 1 도전형의 반도체 기판에 일정 간격을 두고 서로 평행하며 비대칭적인 액티브 영역(100, 100a)들을 정의한다. 액티브 영역(100, 100a) 이외의 부분은 필드 영역(소자 격리층)으로써, 트렌치 아이솔레이션(Trench Isolation) 공정으로 형성한다.

도 11b에 도시한 바와 같이, 각 액티브 영역(100, 100a)들을 2등분할 수 있도록 액티브 영역을 가로지르는 방향을 따라 제 1 스플릿 워드라인(SWL1)(123)과 제 2 스플릿 워드라인(SWL2)(123a)을 형성한다. 이때, 제 1 스플릿 워드라인(123)은 제 1 트랜지스터(T1)의 게이트 전극이 되고 제 2 스플릿 워드라인(123a)은 제 2 트랜지스터(T2)의 게이트 전극이 된다. 이후, 도면에는 도시하지 않았지만 제 1 스플릿 워드라인(123) 양측의 기판에 기판과 반대 도전형의 불순물 이온을 주입하여 제 1 소오스/드레인 영역들을 형성하고 동시에 제 2 스플릿 워드라인(123a) 양측의 기판에도 제 2 소오스/드레인 영역들을 형성한다.

도 11c에 도시한 바와 같이, 제 1, 제 2 드레인 불순물 영역과 각각 연결되며 제 1, 제 2 비트라인이 형성될 부위까지 연장되는 제 1 플러그(127, 127a)들을 형성한다. 그리고 제 1, 제 2 소오스 불순물 영역에 각각 연결되는 제 2 플러그(128, 128a)들을 형성한다. 즉, 비트라인들은 액티브 영역(100, 100a)들 사이의 소자 격리층상에 형성할 것이므로 액티브 영역상에 형성되는 제 1 플러그(127, 127a)들을 필드 영역에까

지 연장되도록 패터닝한다. 이때, 제 1 플러그 및 제 2 플러그의 물질은 폴리실리콘 또는 텅스텐 등의 금속을 사용한다.

도 11d에 도시한 바와 같이, 제 1 플러그(127, 127a)들과 전기적으로 연결되도록 제 1, 제 2 액티브 영역(100, 100a) 일측에 각각 제 1, 제 2 비트라인(129, 129a)들을 형성한다.

도 11e에 도시한 바와 같이, 제 1, 제 2 비트라인(129, 129a)을 포함한 전면에 절연막으로서 ILD층(도시되지 않음)을 형성한 후, 표면을 평탄화시킨다. 이후 제 2 플러그(128, 128a)들이 노출되도록 ILD층을 식각하여 콘택홀을 형성한다. 콘택홀내에 폴리실리콘 또는 텅스텐과 같은 금속을 매립하여 제 2 플러그(128, 128a)들과 전기적으로 연결되는 제 3 플러그(131, 131a)들을 형성한다.

도 11f에 도시한 바와 같이, 제 1, 제 2 비트라인(129, 129a)들과 절연되며 그들을 가로지는 방향으로 스플릿 워드라인의 첫번째 분기 라인으로 사용될 제 1 전도층(132, 132a)들을 형성한다. 이때, 상기 제 1 전도층(132, 132a)들은 제 1, 제 2 스플릿 워드라인(123, 123a) 방향을 따라 그 상부에 형성한다. 제 1 전도층(132, 132a)의 물질은 금속을 사용하며, 금속으로서는 백금(Pt) 또는 텅스텐(W) 등을 사용한다. 제 1 전도층(132, 132a)들을 형성한 후 ILD층을 형성하고, 평탄화 공정을 수행한다. 평탄화 공정으로서는 화학기계적 경면연마법(CMP)을 이용한다.

이후, 도 11g에 도시한 바와 같이, 제 3 플러그(131, 131a)들이 노출되도록 ILD층을 식각하여 콘택홀을 형성한다. 콘택홀내에 폴리실리콘 또는 텅스텐 등과 같은 금속을 매립하여 제 3 플러그(131, 131a)들과 전기적으로 연결되는 제 4 플러그(134, 134a)들을 형성한다. 여기서, 제 4 플러그(134, 134a)들의 물질은 폴리실리콘 또는 텅스텐 등과 같은 금속을 사용한다.

도 11h에 도시한 바와 같이, 상기 제 1 전도층(132, 132a)들이 형성된 방향을 따라 스플릿 워드라인의 두번째 분기 라인으로 사용될 제 2 전도층(135, 135a)들을 형성한다. 여기서, 제 2 전도층(135, 135a)들의 물질은 제 1 전도층(132, 132a)의 물질과 동일물질을 사용한다. 이후, ILD층을 형성한 후, 평탄화 공정을 수행한다. 이와 같이, 스플릿 워드라인의 분기 라인으로 사용될 제 1 전도층(132, 132a)들 및 제 2 전도층(135, 135a)들을 형성함에 있어서, 제 1 전도층(132, 132a)들 및 제 2 전도층(135, 135a)들의 폭은 제 1, 제 2 스플릿 워드라인(123, 123a)의 폭보다 작거나 동일하게 형성한다. 또한, 본 발명의 실시예에서는 제 2 전도층까지 형성하였으나, 상기 전도층 복수의 층으로 형성하는 것이 가능하다.

이어서, 도 11i에 도시한 바와 같이, 제 2 전도층(135, 135a)을 포함한 기판 전면에 ILD층을 형성한 후 CMP공정으로 평탄화한다. 평탄화된 ILD층을 패터닝하여 제 4 플러그(134, 134a)들이 노출되도록 콘택홀을 형성하고, 콘택홀내에 폴리실리콘 또는 텅스텐 등을 매립하여 제 5 플러그(137, 137a)들을 형성한다. 이후, 제 2 전도층(135, 135a)들이 형성된 방향을 따라 제 1 강유전체 커패시터의 제 1 전극(138)과 제 2 강유전체 커패시터의 제 1 전극(138a)을 형성한다. 그리고 제 1, 제 2 강유전체 커패시터의 제 1 전극(138, 138a)의 물질로서는 백금 등과 같은 메탈을 사용한다. 도면에 도시된 바와 같이, 제 1, 제 2 강유전체 커패시터의 제 1 전극(138, 138a)들의 폭은 제 2 전도층(135, 135a)의 폭 보다 작게 패터닝한다.

도 11j에 도시한 바와 같이, 강유전체 커패시터의 제 1 전극(138, 138a)들의 양측면 및 상부면을 덮도록 제 1, 제 2 강유전체막들(139, 139a)들을 형성한다. 여기서, 제 1 강유전체막(139)은 제 1 강유전체 커패시터(FC1)의 유전체막으로 사용되고 제 2 강유전체막(139a)는 제 2 강유전체 커패시터(FC2)의 유전체막으로 사용된다.

도 11k에 도시한 바와 같이, 제 1, 제 2 강유전체막(139, 139a)상에 강유전체 커패시터의 제 2 전극용 물질층을 형성한 후, 필드 영역상에만 남도록 패터닝하여 섬모양의 강유전체 커패시터의 제 2 전극(140, 140a)들을 형성한다. 여기서, 도면부호 '140'은 제 1 강유전체 커패시터의 제 2 전극이고, '140a'는 제 2 강유전체 커패시터의 제 2 전극이다. 그리고 강유전체 커패시터의 제 2 전극은 제 1 전극과 동일한 물질을 사용하여 형성한다.

도 11l에 도시한 바와 같이, 제 1 강유전체 커패시터의 제 2 전극(140)을 제 5 플러그층(137)과 전기적으로 연결시키기 위한 제 1 콘택층(141)과 제 2 강유전체 커패시터의 제 2 전극(140a)을 제 5 플러그층(137a)과 전기적으로 연결시키기 위한 제 2 콘택층(141a)을 형성한다. 여기서, 제 1, 제 2 콘택층(113, 113a)의 물질로써는 티타늄 나이트라이드(TiN)을 사용한다.

이와 같이, 제 1, 제 2 콘택층(113, 113a)을 형성한 후, 강유전체 커패시터를 보호하기 위한 보호막을 형성하면 본 발명 불휘발성 강유전체 메모리 소자에 따른 레이아웃 공정이 완료된다.

상기 도 11l에 도시된 바와 같이, 제 1 트랜지스터의 소오스 영역은 제 2 플러그층(103), 제 3 플러그층(105), 제 4 플러그층(107), 제 5 플러그층(109) 및 제 1 콘택층(113)에 의해 제 1 강유전체 커패시터의 제 2 전극(112)과 전기적으로 연결되고, 제 2 트랜지스터의 소오스 영역은 제 2 플러그층(103a), 제 3 플러그층(105a), 제 4 플러그층(107a), 제 5 플러그층(109a) 및 제 2 콘택층(113a)에 의해 제 2 강유전체 커패시터의 제 2 전극(112a)과 전기적으로 연결된다.

한편, 제 1, 제 2 스플릿 워드라인과 제 1, 제 2 전도층(106, 108)들, 그리고 제 2 스플릿 워드라인과 제 1, 제 2 전도층(106a, 108a)들은 각각 셀 영역이 아닌 외부에서 전기적으로 연결되어 동일한 구동신호를 받는다.

이와 같은 본 발명 불휘발성 강유전체 메모리 소자의 제조방법을 공정단면도를 참조하여 설명하면 다음과 같다.

도 12a는 도 11a의 1-1'선에 따른 단면도로써, 반도체 기판(120)을 액티브 영역과 필드 영역(121)으로 정의한다. 이때, 필드 영역은 트렌치 아이슬레이션(Trench Isolation) 공정에 의해 형성된다.

도 12b는 도 11b의 1-1'선에 따른 단면도로써, 기판(120)상의 액티브 영역 및 필드 영역에 게이트 절연막(122)을 개재하여 제 1 스플릿 워드라인(123)과 제 2 스플릿 워드라인(123a)을 형성한다. 여기서, 제 1 스플릿 워드라인(123)은 제 1 트랜지스터(T1)의 게이트 전극으로 사용되고, 제 2 스플릿

워드라인(123a)은 제 2 트랜지스터(T2)의 게이트 전극으로 사용된다. 이후, 제 1, 제 2 스플릿 워드라인(123, 123a)을 마스크로 이용한 불순물 이온주입으로 제 1 트랜지스터(T1)의 소오스/드레인으로 사용될 제 1 소오스/드레인 영역(124, 125)과 제 2 트랜지스터(T2)의 소오스/드레인으로 사용될 제 2 소오스/드레인 영역(124a, 125a)(도시되지 않음)을 형성한다.

도 12c는 도 11c의 1-1'선에 따른 단면도로써, 제 1, 제 2 스플릿 워드라인(101, 101a)을 포함한 기판 전면에 제 1 절연층(126)을 형성한다. 이때, 제 1 절연층(126)의 물질로서는 ILD층을 사용한다. 이후, 화학기계적 경면연마법(chemical Mechanical Polishing: CMP)을 이용하여 제 1 절연층(126)을 평탄화시키고, 제 1, 제 2 소오스 영역(124, 124a)과 제 1, 제 2 드레인 영역(125, 125a)이 노출되도록 제 1 절연층(126)을 패터닝하여 콘택홀을 형성한다. 콘택홀내에 폴리실리콘 또는 텅스텐 등과 같은 금속을 매립하여 제 1 트랜지스터(T1) 및 제 2 트랜지스터(T2)의 드레인으로 사용되는 제 1, 제 2 드레인 영역(125, 125a)에 연결되는 제 1 플러그층(127, 127a)들과, 제 1 트랜지스터(T1) 및 제 2 트랜지스터(T2)의 소오스로 사용되는 제 1, 제 2 소오스 영역(124, 124a)에 연결되는 제 2 플러그층(128, 128a)들을 형성한다. 이때, 제 1 플러그층들(127, 127a)은 이후에 형성될 비트라인과의 전기적인 연결을 위해 필드 영역에까지 확장되도록 형성한다.

도 12d는 도 11d의 1-1'선에 따른 단면도로써, 액티브 영역의 일측의 필드 영역에 제 1 비트라인(129)과 제 2 비트라인(129a)(도시되지 않음)을 형성한다. 이때, 제 1 비트라인(129)과 제 2 비트라인(129a)은 필드 영역에까지 확장된 제 1 플러그층(127, 127a)들과 각각 전기적으로 연결된다.

도 12e는 도 11e의 1-1'선에 따른 단면도로써, 제 1, 제 2 비트라인(도시되지 않음)을 포함한 전면에 제 2 절연층(130)을 형성한 후, CMP공정을 이용하여 평탄화시킨다. 이때, 제 2 절연층(130)은 ILD층이다. 이후, 제 1 소오스 영역(124)과 제 2 소오스 영역(124a)(도시되지 않음)에 연결되어 있는 제 2 플러그층들(128, 128a)이 노출되도록 제 2 절연층(130)을 콘택홀을 형성한다. 콘택홀내에 폴리실리콘 또는 텅스텐 등의 금속을 매립하여 제 2 플러그층(128, 128a)들과 각각 전기적으로 연결되는 제 3 플러그층들(131, 131a)을 형성한다(여기서, '131a'는 도시되지 않음).

도 12f는 도 11f의 1-1'선에 따른 단면도로써, 제 1 스플릿 워드라인(123)과 제 2 스플릿 워드라인(123a)에 상응하는 제 2 절연층(130)상에 제 1 전도층(132, 132a)들을 형성한다. 제 1 전도층(132, 132a)들의 물질은 금속이며, 금속으로서는 백금(Pt) 또는 텅스텐(W)등을 사용한다. 이때, 제 1 전도층(132, 132a)들의 폭은 스플릿 워드라인의 폭보다 작거나 동일하게 형성한다.

도 12g는 도 11g의 1-1'선에 따른 단면도로써, 제 1 전도층(132, 132a)들을 포함한 기판 전면에 제 3 절연층(133)을 형성한 후, CMP공정을 이용하여 평탄화시킨다. 이때, 제 3 절연층(133)은 ILD층이다. 상기 제 3 플러그(131, 131a)들이 노출되도록 제 3 절연층(133)을 패터닝하여 콘택홀을 형성한다. 상기 콘택홀내에 폴리실리콘 또는 텅스텐 등을 매립하여 제 3 플러그층들(131, 131a)과 전기적으로 연결되는 제 4 플러그(134, 134a)들을 형성한다.

도 12h는 도 11h의 1-1'선에 따른 단면도로써, 상기 제 1 전도층(132, 132a)에 상응하는 제 3 절연층(133)상에 제 2 전도층(135, 135a)들을 형성한다. 이때, 제 2 전도층(135, 135a)의 물질은 제 1 전도층의 물질과 동일하다.

도 12i는 도 11i의 1-1'선에 따른 단면도로써, 제 2 전도층(135, 135a)들을 포함한 기판 전면에 제 4 절연층(136)을 형성한다. CMP공정을 이용하여 제 4 절연층(136)을 평탄화시킨 후, 상기 제 4 플러그(134, 134a)들이 노출되도록 제 4 절연층(136)을 패터닝하여 콘택홀을 형성한다. 상기 콘택홀내에 폴리실리콘 또는 텅스텐, 등을 매립하여 제 5 플러그(137, 137a)들을 형성한다. 이후, 제 2 전도층(135, 135a)에 상응하는 제 4 절연층(136)상에 제 1 강유전체 커패시터의 제 1 전극(138)과 제 2 강유전체 커패시터의 제 1 전극(138a)을 형성한다. 이때, 제 1, 제 2 강유전체 커패시터의 제 1 전극(138, 138a)들의 폭은 상기 제 1, 제 2 전도층(135, 135a)의 폭보다 작게 패터닝하며, 전극물질로서는 백금(Pt)을 사용한다.

도 12j는 도 11j의 1-1'선에 따른 단면도로써, 제 1, 제 2 강유전체 커패시터의 제 1 전극(138, 138a)을 둘러싸도록 제 1, 제 2 강유전체막(139, 139a)을 형성한다. 즉, 제 1, 제 2 강유전체 커패시터의 제 1 전극(138, 138a)들을 포함한 기판 전면에 강유전체 물질을 증착한 후 상기 제 1 전극의 양측면 및 상부면에만 남도록 강유전체 물질을 식각해 낸다.

이어, 도 12k는 도 11k의 1-1'선에 따른 단면도로써, 제 1, 제 2 강유전체막(139, 139a)을 포함한 기판 전면에 강유전체 커패시터 제 2 전극으로 사용할 전극물질을 증착한 후, 제 1 강유전체 커패시터의 제 2 전극(140)과 제 2 강유전체 커패시터의 제 2 전극(140a)(도시되지 않음)을 형성한다. 참고로, 도 12k가 도 11k의 1-1'선에 따른 단면이므로 제 2 강유전체 커패시터의 제 2 전극은 도시되지 않는다.

도 12l은 도 11l의 1-1'선에 따른 단면도로써, 제 1 강유전체 커패시터의 제 2 전극(140)과 상기 제 5 플러그(137)가 전기적으로 연결될 수 있도록 제 1 콘택층(141)을 형성하고, 제 2 강유전체 커패시터의 제 2 전극(140a)(도시되지 않음)과 제 5 플러그(137a)(도시되지 않음)가 전기적으로 연결될 수 있도록 제 2 콘택층(141a)(도시되지 않음)을 형성한다. 이때, 제 1 스플릿 워드라인(123)과 제 2 강유전체 커패시터의 제 1 전극(138a) 사이에 형성된 제 1, 제 2 전도층(132, 135)을 셀 영역이 아닌 주변영역에서 전기적으로 연결하고, 제 2 스플릿 워드라인(123)과 제 1 강유전체 커패시터의 제 1 전극(138) 사이에 형성된 제 1, 제 2 전도층(132a, 135a) 또한 셀 영역이 아닌 주변영역에서 전기적으로 연결한다.

따라서, 제 1 스플릿 워드라인(123) 및 제 2 스플릿 워드라인(123a)은 제 1 전도층(132, 132a), 제 2 전도층(135, 135a)들과 더불어 동일한 구동신호를 받는다.

이상 상술한 바와 같이, 본 발명의 불휘발성 메모리 소자 및 그 제조방법은 다음과 같은 효과가 있다.

첫째, 스플릿 워드라인과 강유전체 커패시터의 하부전극 사이에 복수층으로 이루어진 분기 라인들을 형성하고 상기 분기 라인 및 하부전극을 스플릿 워드라인에 전기적으로 연결시킴으로써 스플릿 워드라인의 RC딜레이를 최소화할 수 있어 고속의 소자를 구현할 수 있다.

둘째, 분기 라인을 형성할 때, 각각의 분기 라인 사이의 절연층을 평탄화하는 것에 의해 작은 선 폭을 갖는 분기 라인을 형성할 수 있어 사이즈가 작은 셀을 구현할 수 있다.

셋째, 강유전체층이 커패시터의 제 1 전극의, 둘레에 걸쳐 형성되므로 전극의 면적을 극대화하여 커패시턴스를 최대한 확보할 수 있다.

청구항 1

반도체 기판에 정의된 제 1 액티브 영역과 제 2 액티브 영역;

상기 각각의 액티브 영역을 이등분하며 가로지르는 제 1, 제 2 스플릿 워드라인;

상기 제 1 스플릿 워드라인 상측부에 형성된 제 2 강유전체 커패시터의 제 1 전극;

상기 제 2 스플릿 워드라인 상측부에 형성된 제 1 강유전체 커패시터의 제 1 전극;

상기 제 1 스플릿 워드라인과 상기 제 2 강유전체 커패시터의 제 1 전극 사이에 복수의 층으로 분리 형성되며 각각이 상기 제 1 스플릿 워드라인 및 제 2 강유전체 커패시터의 제 1 전극에 연결되는 제 1 분기 라인;

상기 제 2 스플릿 워드라인과 상기 제 1 강유전체 커패시터의 제 1 전극 사이에 복수의 층으로 분리 형성되며 각각이 상기 제 2 스플릿 워드라인 및 상기 제 1 강유전체 커패시터의 제 1 전극에 연결되는 제 2 분기 라인을 포함하여 구성되는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자.

청구항 2

제 1 항에 있어서, 상기 제 1 강유전체 커패시터의 제 1 전극상에는 강유전체층과 상기 제 1 강유전체 커패시터의 제 2 전극이 차례로 구성되고, 상기 제 2 강유전체 커패시터의 제 1 전극상에는 강유전체층과 상기 제 2 강유전체 커패시터의 제 2 전극이 차례로 구성되는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자.

청구항 3

제 2 항에 있어서, 상기 제 1 강유전체 커패시터의 제 2 전극은 상기 제 1 스플릿 워드라인 일측의 제 1 액티브 영역과 전기적으로 연결되고, 상기 제 2 강유전체 커패시터의 제 2 전극은 상기 제 2 스플릿 워드라인 일측의 제 2 액티브 영역과 전기적으로 연결되는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자.

청구항 4

제 3 항에 있어서, 상기 제 1 강유전체 커패시터의 제 2 전극과 연결되는 상기 제 1 액티브 영역은 제 1 트랜지스터의 소오스이고, 상기 제 2 강유전체 커패시터의 제 2 전극과 연결되는 제 2 액티브 영역은 제 2 트랜지스터의 소오스인 것을 특징으로 하는 불휘발성 강유전체 메모리 소자.

청구항 5

제 4 항에 있어서, 상기 제 1 강유전체 커패시터의 제 2 전극과 상기 제 1 트랜지스터의 소오스 그리고 상기 제 2 강유전체 커패시터의 제 2 전극과 상기 제 2 트랜지스터의 소오스를 전기적으로 연결하기 위한 복수층의 플러그가 더 구성되는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자.

청구항 6

제 1 항에 있어서, 상기 제 1, 제 2 분기 라인들의 물질은 금속을 포함하는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자.

청구항 7

제 6 항에 있어서, 상기 금속은 백금(Pt), 텅스텐(W)을 포함하는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자.

청구항 8

제 4 항에 있어서, 상기 제 1 강유전체 커패시터의 제 2 전극과 상기 제 1 트랜지스터의 소오스를 전기적으로 연결하기 위한 복수층의 플러그 사이에는 제 1 콘택층이 더 구비되고, 상기 제 2 강유전체 커패시터의 제 2 전극과 상기 제 2 트랜지스터의 소오스를 전기적으로 연결하기 위한 복수층의 플러그 사이에는 제 2 콘택층이 구비되는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자.

청구항 9

제 8 항에 있어서, 상기 제 1, 제 2 콘택층의 물질은 티타늄 나이트라이드 (TiN)를 포함하는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자.

청구항 10

제 1 항에 있어서, 상기 제 1 분기 라인은 상기 제 1 스플릿 워드라인의 상부에서 그와 동일한 방향으로 형성되고, 상기 제 2 분기 라인은 상기 제 2 스플릿 워드라인의 상부에서 그와 동일한 방향으로 형성되는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자.

청구항 11

제 1 항에 있어서, 상기 제 1, 제 2 강유전체 커패시터의 제 1 전극들의 물질은 백금(Pt)을 포함하는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자.

청구항 12

반도체 기판에 제 1 액티브 영역과 제 2 액티브 영역을 정의하는 공정;

각각의 액티브 영역을 이등분하며 가로지르는 제 1 스플릿 워드라인과 제 2 스플릿 워드라인을 형성하는 공정;

상기 제 1, 제 2 스플릿 워드라인 양측의 액티브 영역에 각각 소오스와 드레인을 정의하는 공정;

각각의 드레인에 연결되는 제 1 플러그들과 각각의 소오스에 연결되는 제 2 플러그들을 형성하는 공정;

상기 제 1 스플릿 워드라인 상측부에 복수층의 제 1 분기 라인과 상기 제 2 스플릿 워드라인 상측부에 복수층의 제 2 분기 라인을 형성하는 공정;

상기 제 1, 제 2 분기 라인들 상측에 각각 제 2, 제 1 강유전체 커패시터의 제 1 전극들을 형성하는 공정;

상기 각각의 제 1 전극상에 강유전체층을 형성하고 각각의 강유전체층상에 강유전체 커패시터의 제 2 전극들을 형성하는 공정;

상기 제 1, 제 2 강유전체 커패시터의 제 2 전극들을 각각 상기 제 2 플러그들과 전기적으로 연결하는 공정;

상기 제 1 분기 라인 및 상기 제 2 강유전체 커패시터의 제 1 전극을 상기 제 1 스플릿 워드라인에 연결하고, 상기 제 2 분기 라인 및 상기 제 1 강유전체 커패시터의 제 1 전극을 상기 제 2 스플릿 워드라인에 연결하는 공정을 포함하여 이루어지는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자 제조방법.

청구항 13

제 12 항에 있어서, 상기 제 1 플러그들은 필드 영역에까지 연장되도록 형성하는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자 제조방법.

청구항 14

제 12 항에 있어서, 상기 제 1 플러그들과 연결되며 상기 제 1, 제 2 스플릿 워드라인을 가로지르는 방향으로 제 1, 제 2 비트라인을 형성하는 공정을 더 포함하여 이루어지는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자 제조방법.

청구항 15

제 12 항에 있어서, 상기 복수층의 제 1, 제 2 분기 라인들을 형성하는 공정은,

상기 제 2 플러그들을 포함한 기판 전면에 절연층을 형성하는 공정과,

상기 절연층을 평탄화한 후 소정부분을 제거하여 콘택홀을 형성하고 상기 콘택홀을 통해 상기 제 2 플러그와 연결되도록 제 3 플러그를 형성하는 공정;

상기 제 1, 제 2 스플릿 워드라인에 상응하는 상기 절연층상에 각각 제 1 전도층을 형성하는 공정과,

상기 제 1 전도층을 포함한 기판 전면에 다른 절연층을 형성한 후 평탄화하는 공정과,

상기 제 3 플러그가 노출되도록 상기 평탄화된 다른 절연층을 패터닝하여 콘택홀을 형성하는 공정과,

상기 콘택홀을 통해 상기 제 3 플러그와 연결되는 제 4 플러그를 형성하는 공정과,

상기 제 1 전도층에 상응하는 상기 다른 절연층상에 제 2 전도층을 형성하는 공정을 포함하여 이루어지는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자 제조방법.

청구항 16

제 12 항에 있어서, 상기 제 1 분기 라인과 상기 제 2 강유전체 커패시터의 제 1 전극, 그리고 상기 제 2 분기 라인과 상기 제 1 강유전체 커패시터의 제 1 전극은 절연막을 이용하여 격리시키는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자 제조방법.

청구항 17

제 12 항에 있어서, 상기 제 1, 제 2 스플릿 워드라인은 메탈 또는 폴리실리콘으로 형성하는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자 제조방법.

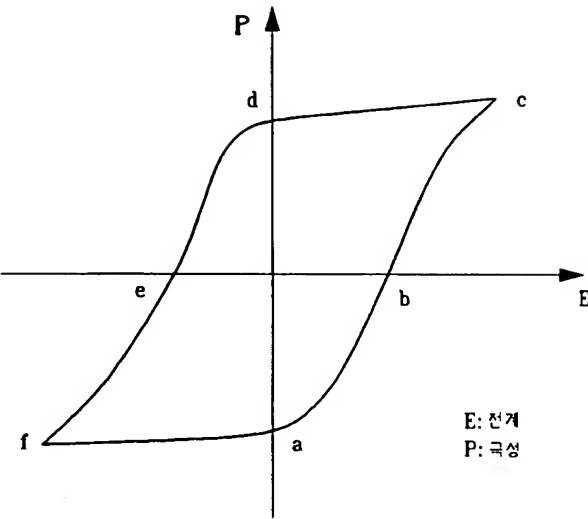
청구항 18

제 15 항에 있어서, 상기 제 3, 제 4 플러그를 별도의 공정으로 형성하지 않고 상기 제 2 전도층을 형성한 후 절연층을 동시에 식각하여 하나의 플러그를 형성하는 공정을 포함함을 특징으로 하는 불휘발성 강

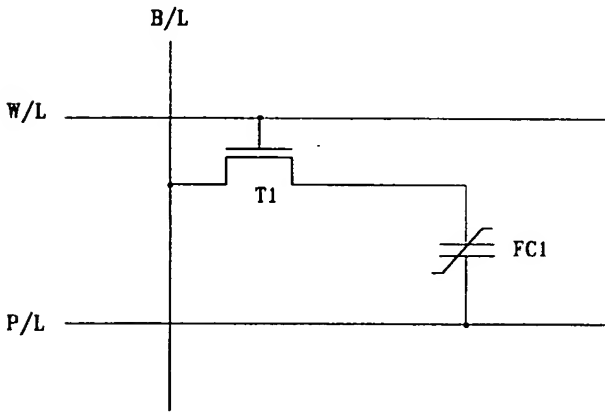
유전체 메모리 소자 제조방법.

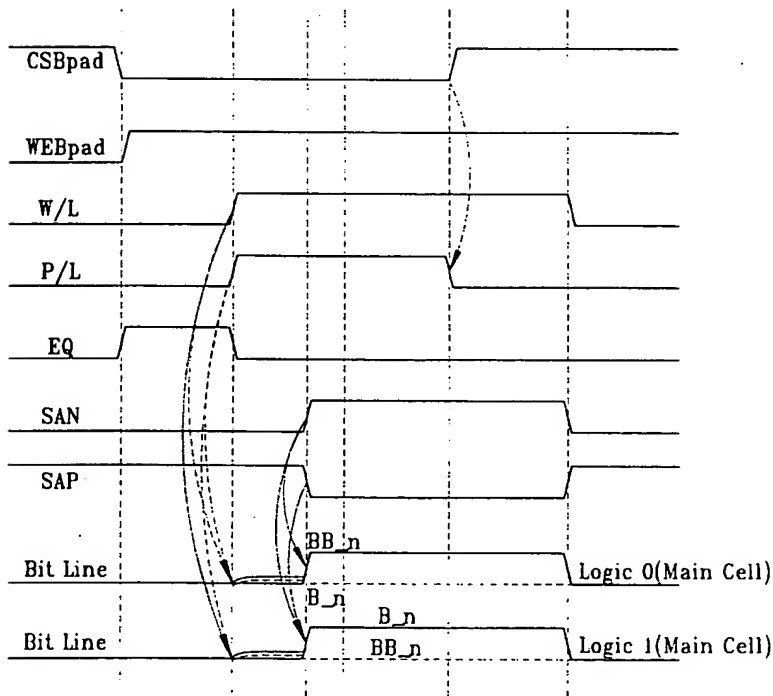
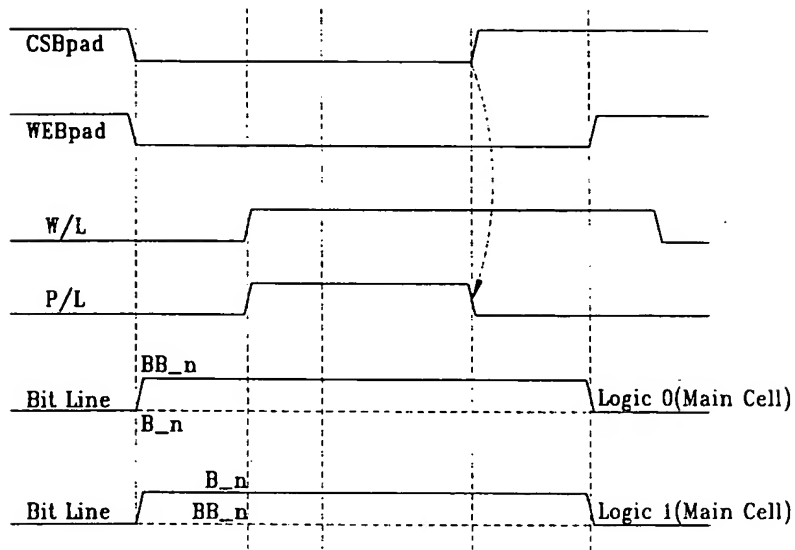
도 1

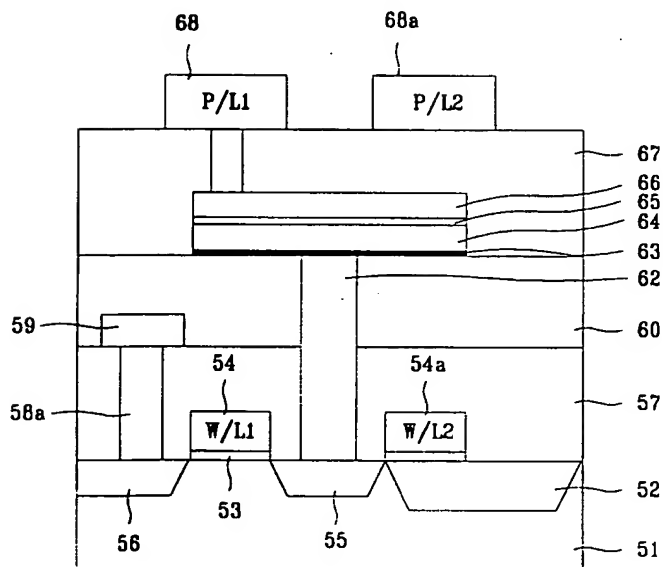
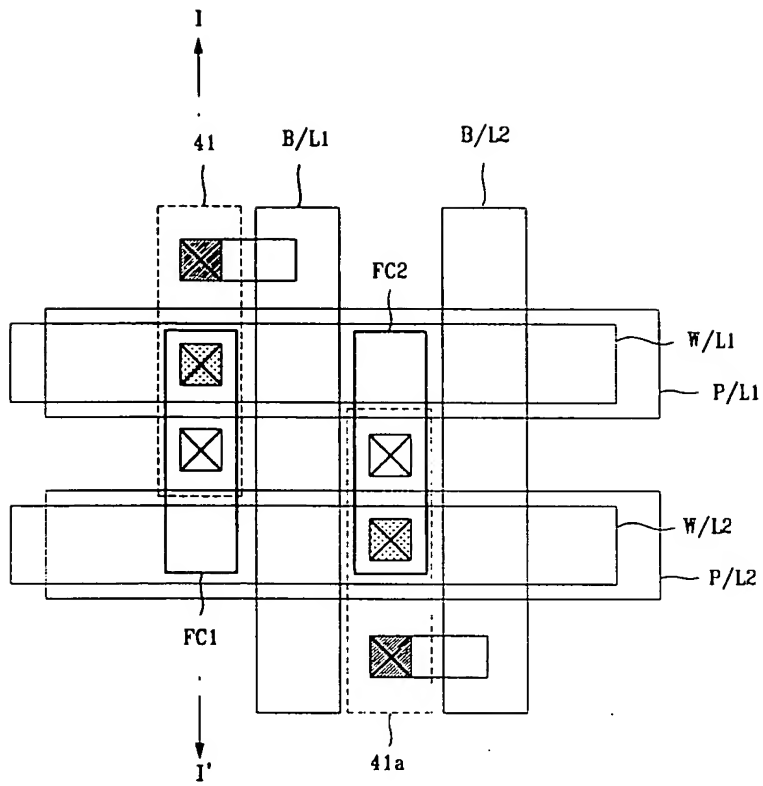
도 1

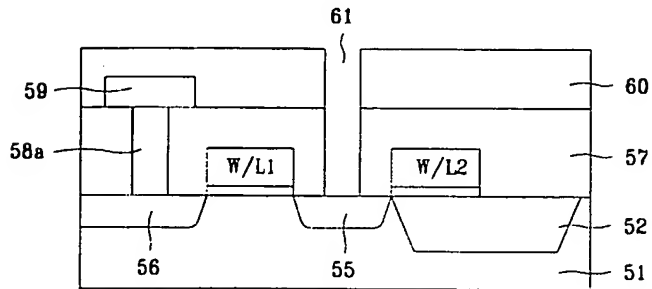
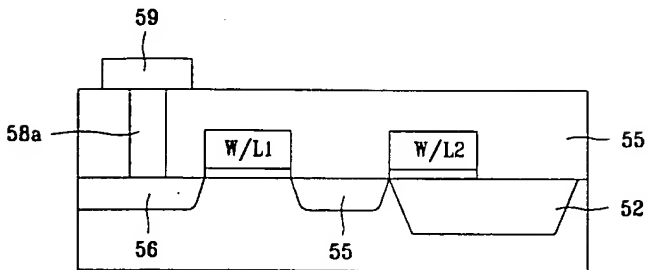
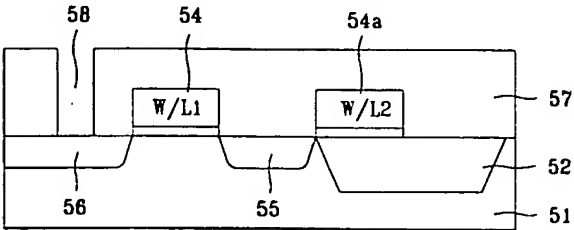
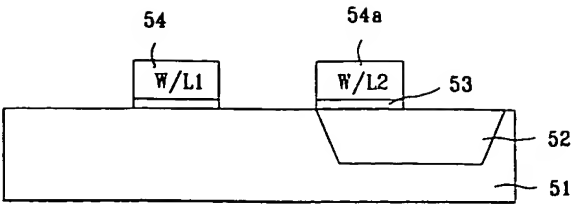


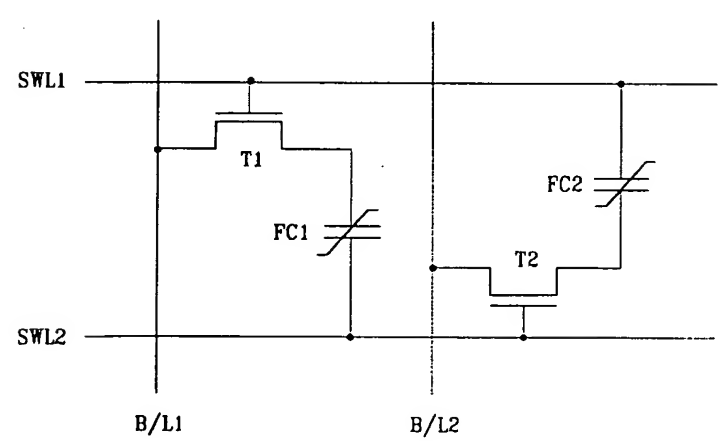
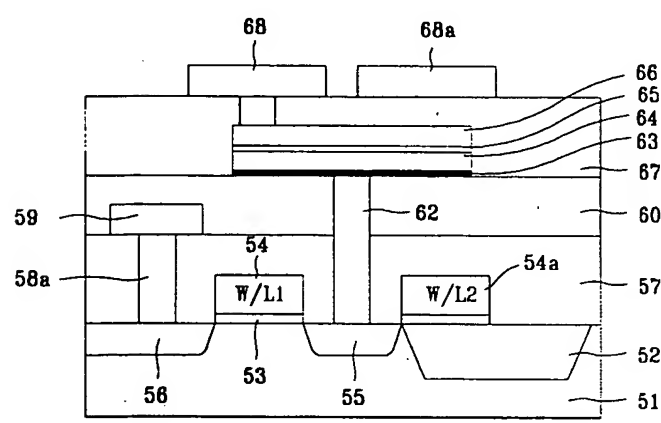
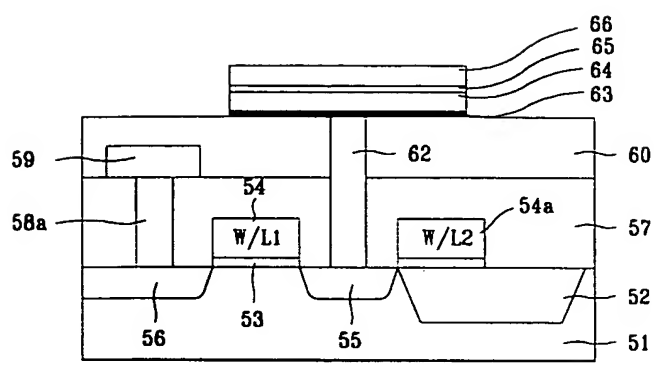
도 2

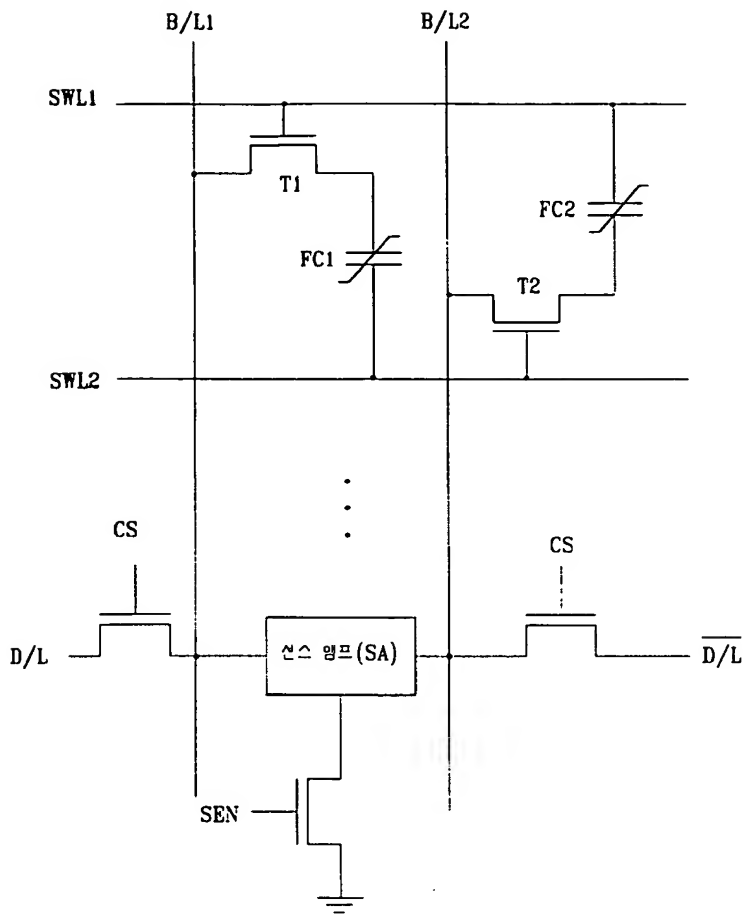


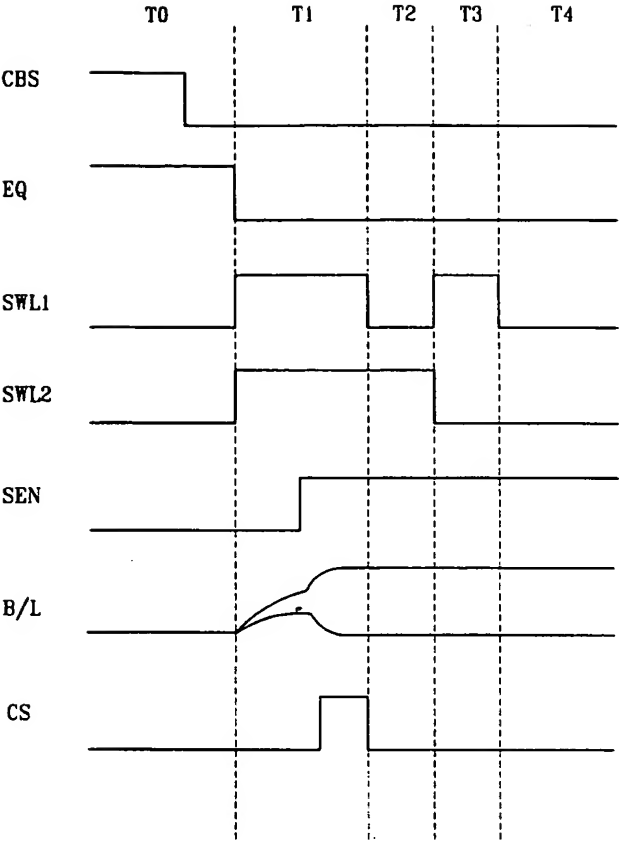


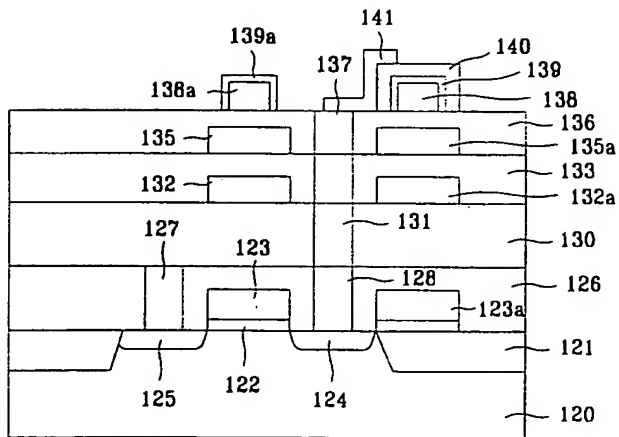
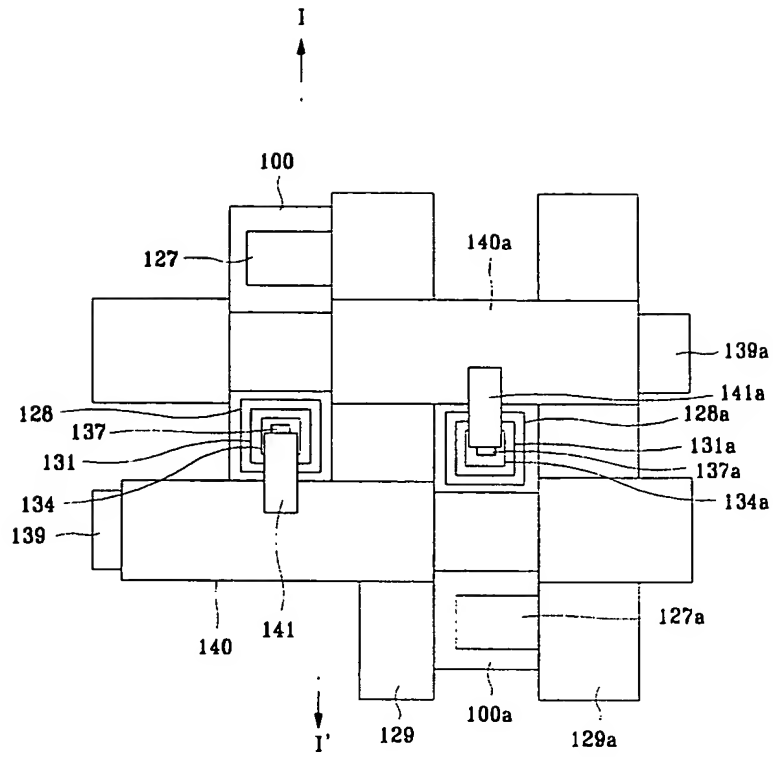


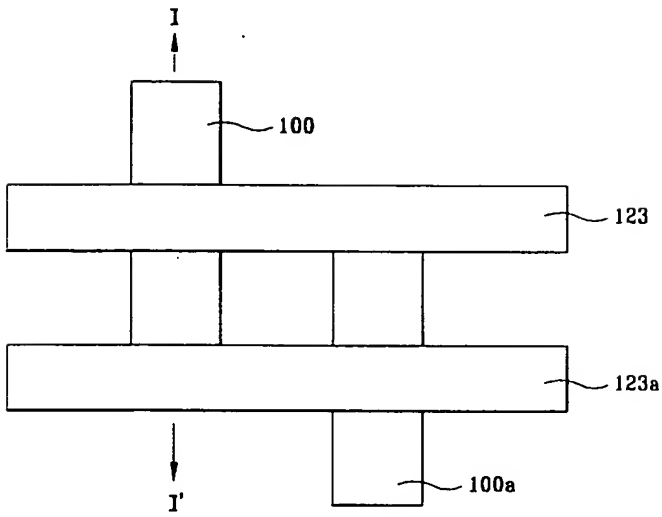
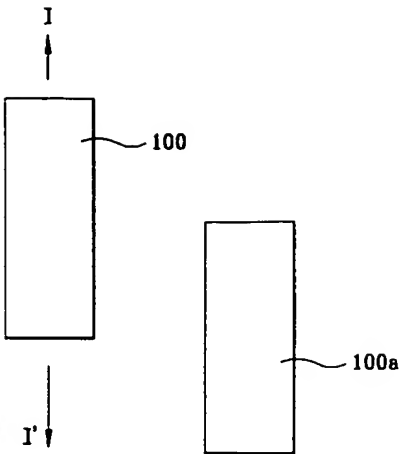


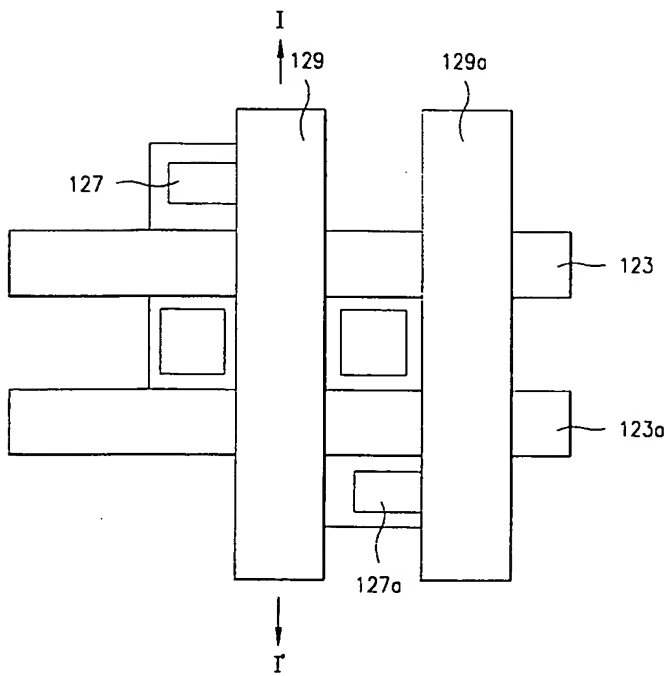
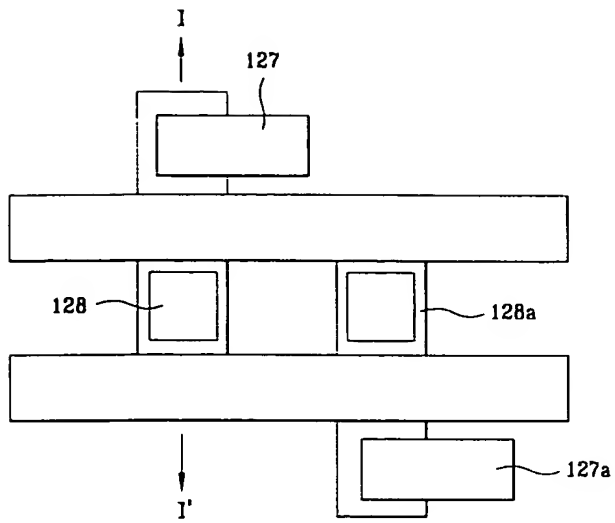


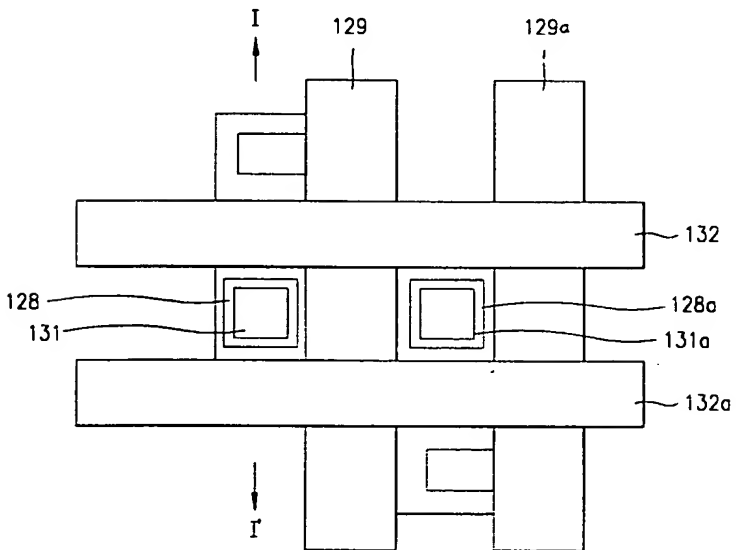
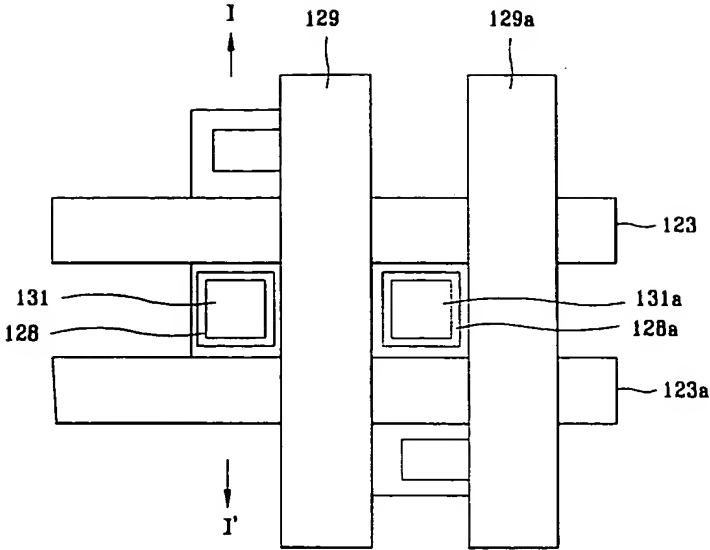


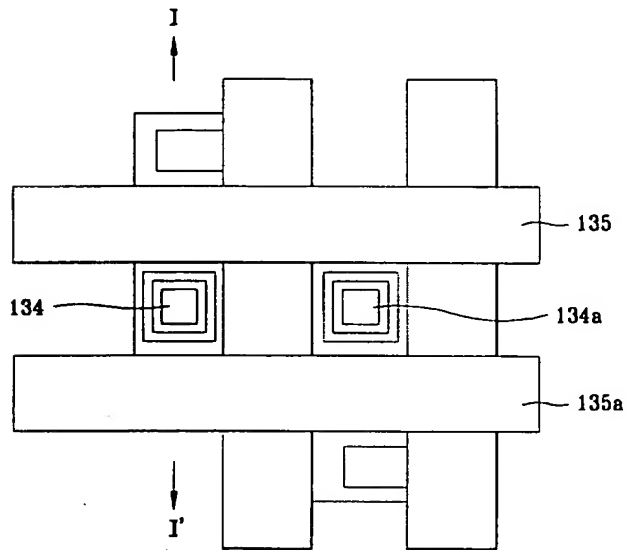
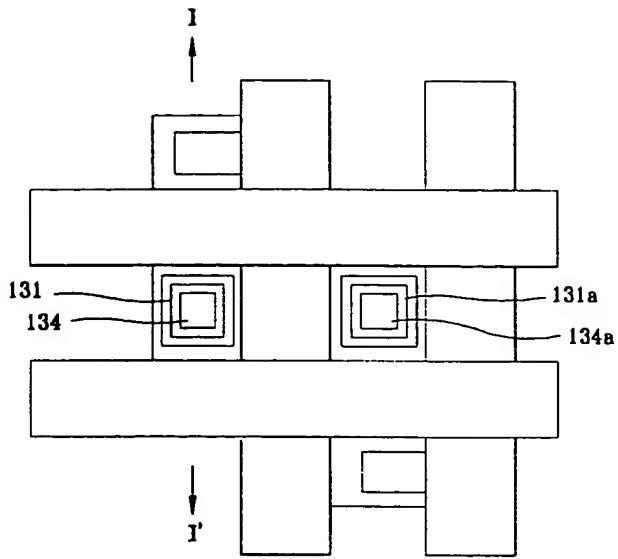


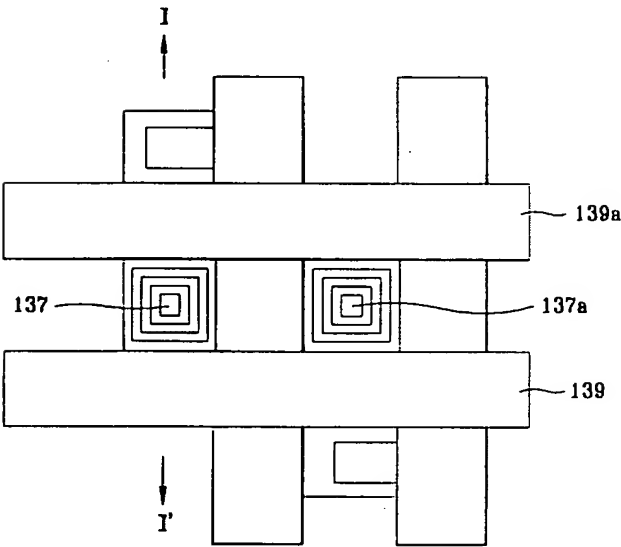
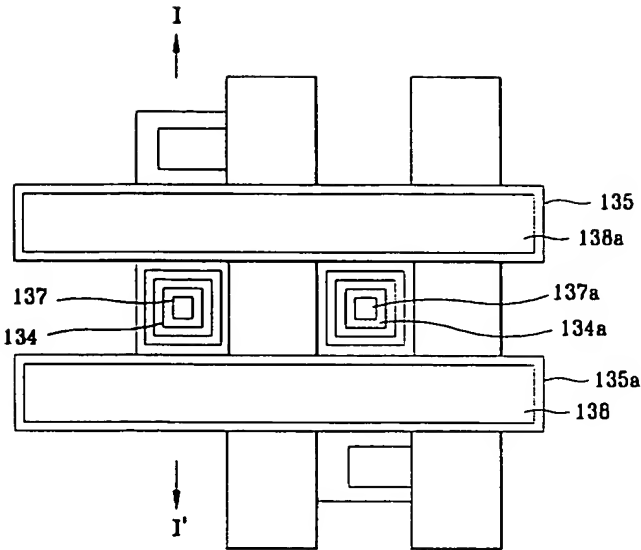


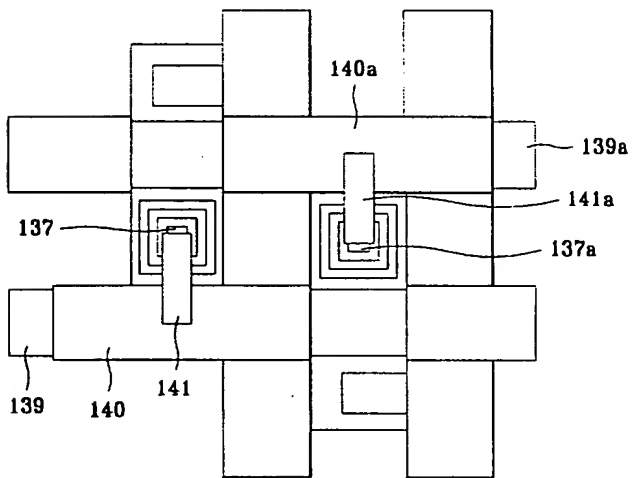
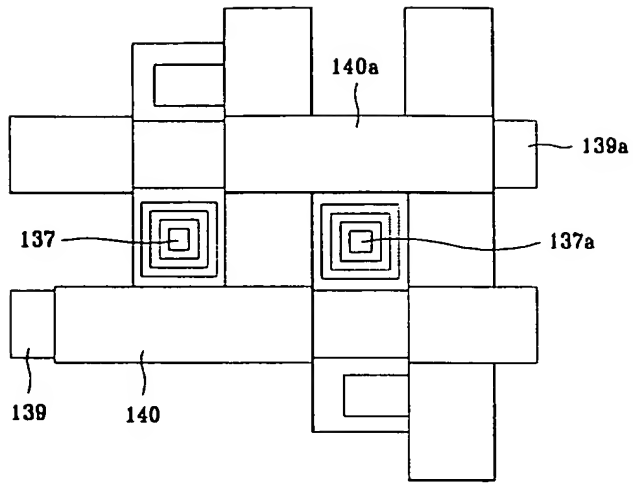




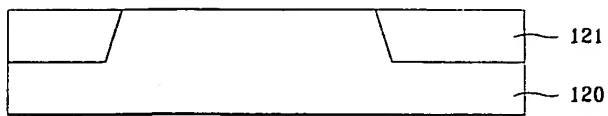




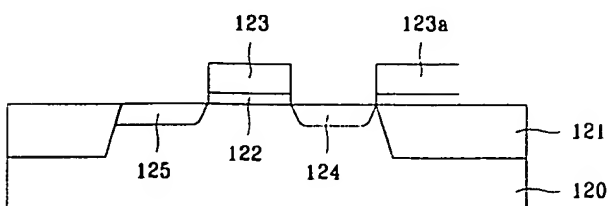




도면 12a



도면 12c



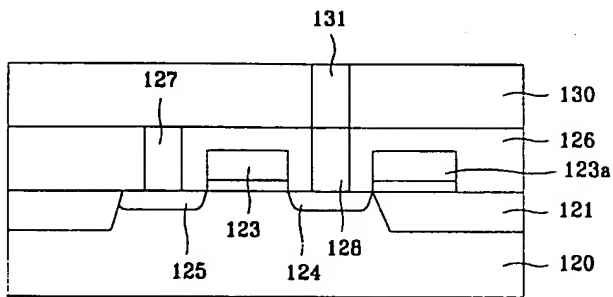
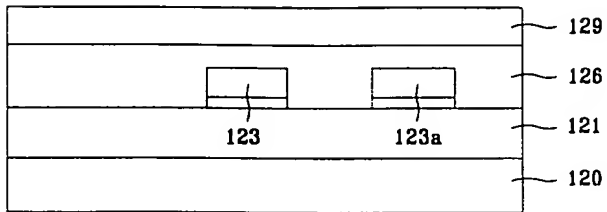
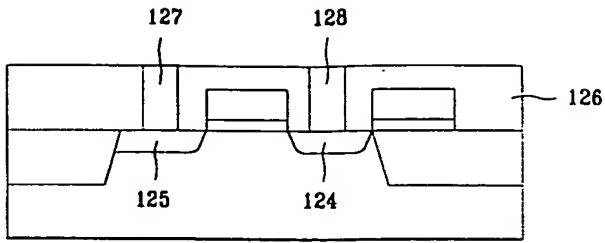
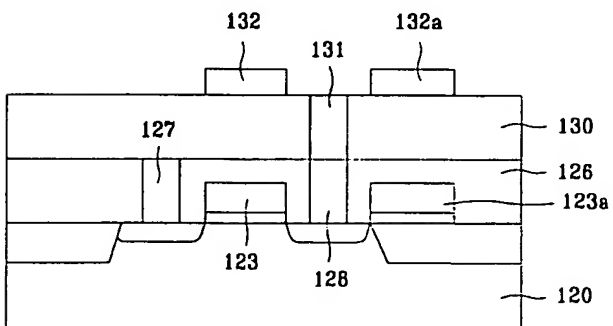
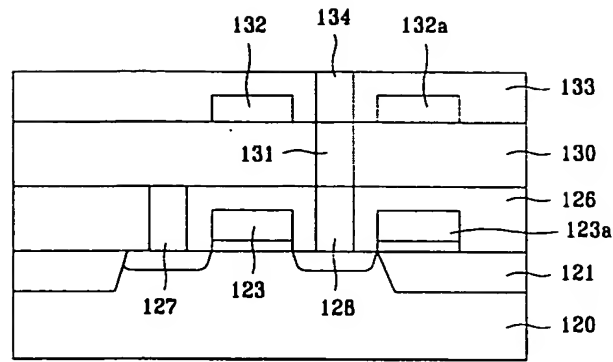
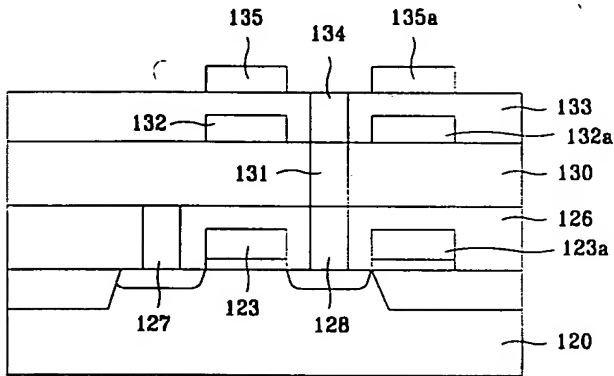


FIG. 12f

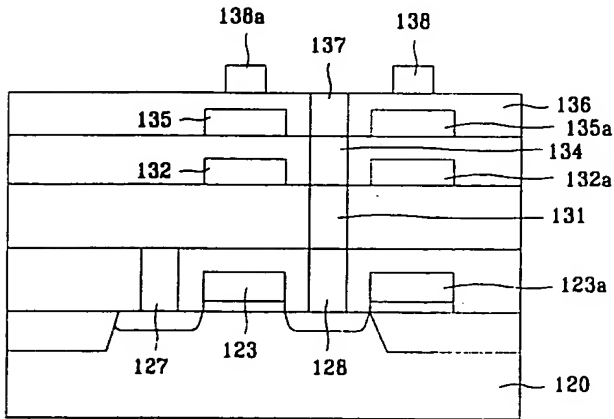




도면 120



도면 121



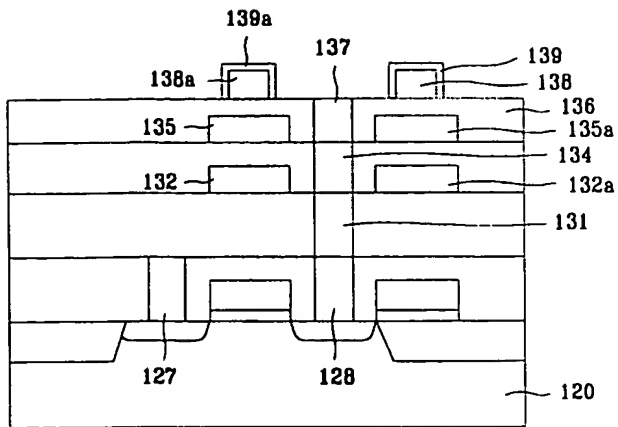


FIG. 120

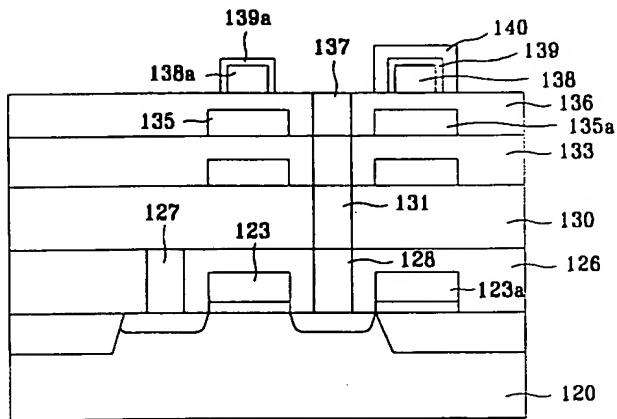


FIG. 121

